

310.565

SUPPLEMENT

ПРИЛОЖЕНИЕ

to the No 3-4 of Vol 5. of the Publications of the Institute of Nuclear Research of the Hung. Acad. of Sciences
/ATOMKI/ Debrecen

к выш. 3-4 том. 5., Сообщения Института Ядерных Исследований Венгерской АН /АТОМКИ/ Дебрецен.

Atombi Közlemények

VI. kötet

1964.

3-4.szám

Sebestyén Béla

ПРОМЕЖУТОЧНОЕ НАКОПЛЕНИЕ ИНФОРМАЦИИ ПРИ АВТОМАТИЗИРОВАННЫХ
ЯДЕРНЫХ ИЗМЕРЕНИЯХ

INTERMEDIATE STORAGE OF INFORMATION IN AUTOMATIC NUCLEAR EXPERIMENTS

MTA
ATOMMAG KUTATÓ INTÉZETE
DEBRECEN

1964. december

INFORMÁCIÓ KÖZBENSŐ TÁROLÁSA AUTOMATIZÁLT MAGFIZIKAI MÉRÉSEK KAPCSÁN. A jelen dolgozat első része áttekintést ad a közbenső memoriákról és a közbenső tárolás általános kérdéseiről; második része a szerzőnek egy közbenső memoriaberendezéssel kapcsolatos korábbi publikációin alapul. Az utóbbi néhány eddig nem ismertezett áramkör leírását is tartalmazza. A második részben tárgyalt memoriaberendezés az Egyesített Atommagkutató Intézet Magfizikai Problémák Laboratóriumában (Dubna) épült meg, a téma jelen alakban való irodalmi feldolgozására pedig az MTA Atommag Kutató Intézetében (Debrecen) került sor.

INTERMEDIATE STORAGE OF INFORMATION IN AUTOMATIC NUCLEAR EXPERIMENTS. The first part of the paper offers a survey of the intermediate memories, and the general problems of intermediate storage; the second part is based on the author's earlier publications dealing with an intermediate memory. The latter includes description of a few circuits too, which has not been published so far. The memory discussed in the second part was built in the Laboratory of Nuclear Problems of the Joint Institute for Nuclear Research (Dubna), but the literary treatment of the subject in the present form was accomplished in the Institute of Nuclear Problems of the Hungarian Academy of Sciences (Debrecen).

ПРОМЕЖУТОЧНОЕ НАКОПЛЕНИЕ ИНФОРМАЦИИ ПРИ АВТОМАТИЗИРОВАННЫХ ЯДЕРНЫХ ИЗМЕРЕНИЯХ. В первой части предлагаемой работы дается обзор промежуточных запоминающих устройств и общих вопросов промежуточного накопления; вторая часть составлена на основании статей автора, опубликованных ранее в связи с промежуточным запоминающим устройством. Последняя содержит и описание некоторых схем, не изложенных ранее. Промежуточное запоминающее устройство, описанное во второй части, было разработано в Лаборатории ядерных проблем Объединенного института ядерных исследований (в Дубне), а литературная обработка темы, в настоящей форме, проведена в Институте ядерных исследований АН БНР (в Дебрецене).

* * * *

Автор пользуется случаем, чтобы выразить благодарность проф. В.П. Железову и проф. А. Салси за внимание, уделенное данной теме, кандидату физ.-матем. наук С.М. Коренченко за помощь при выполнении работы и младшим научным сотрудникам И.Ф. Колпакову и Д. Варга за помощь при подготовке рукописи к печати.

ВВЕДЕНИЕ

Развитие измерительных методов последних лет в области экспериментальной ядерной физики характеризуется автоматизацией систем измерений и обработки информации. В ходе автоматизированных экспериментов, в общем случае, информация от измерительной системы передается на линию обработки информации, чтобы получить данные в таком виде, который открывает качественные и количественные характеристики физического события. Линии обработки информации, в большинстве случаев, содержат одно или несколько промежуточных запоминающих устройств (ПЗУ), которые играют значительную роль в процессе передачи информации.

Настоящая работа посвящена описанию ПЗУ, предназначенного для системы обработки информации искровой камеры. В связи с описанием устройства желательно подытожить и общие вопросы промежуточного накопления информации. Поэтому в первой главе работы дается определение понятия ПЗУ и их место среди запоминающих устройств, рассмотрение его роли в автоматизированных измерительных системах ядерной физики, классификация разных типов ПЗУ, описание практических систем, известных по литературе, обобщение задач, связанных со скоростью работы и емкостью накопления и т.д.

ПЗУ, о котором пойдет речь является цифровой системой, поэтому обзорная часть ограничивается цифровыми системами, а область аналоговых запоминающих устройств только затрагивается.

Во второй главе излагаются соображения, на основании которых было спроектировано данное ПЗУ.

В третьей главе работы дается описание разработанного устройства, его блок-схема, блок-схемы и принципиальные схемы отдельных функциональных частей и расчет важнейших схем.

В заключении обсуждаются вопросы контроля ПЗУ, а в приложении — метод испытания импульсных свойств полупроводниковых диодов в ферритовых схемах.

В тексте используется терминология, принятая в вычислительной технике и в практике ядерных измерений. Определение некоторых важнейших понятий приводится по ходу рассмотрения.

1 ОБЩИЕ ВОПРОСЫ ПРОМЕЖУТОЧНОГО НАКОПЛЕНИЯ ИНФОРМАЦИИ

1-1 Предварительные замечания

Измерительная система ядерной физики является аппаратурой для определения отдельных отличительных с точки зрения исследований физических характеристик событий, которые происходят в течение эксперимента. Информация о физических характеристиках, в общем случае, представляется электрическими сигналами на выходе измерительной системы. Процесс превращения информации в электрические сигналы происходит согласно определенным правилам. Преобразование такого типа называется кодированием, а сигнал, получаемый в этом процессе, — кодом. Код может быть представлен в аналоговой или цифровой форме (например, амплитуда или порядковый номер детектора). Для системы обработки цифровой информации необходим код в цифровом виде. В том случае, когда измерительная система выдает информацию в аналоговой форме, а система обработки является цифровой, прежде всего, надо произвести преобразование информации в цифровой код с помощью аналого-цифровых преобразователей.

Цифровой код называется параллельным или последовательным в зависимости от того, появляются ли дискретные сигналы кода одновременно или последовательно во времени. Для передачи последовательного кода требуется лишь один канал линии обработки информации. В случае параллельного кода, число каналов, требуемое для его передачи, равно числу разрядов кода. Использование последовательного кода является более экономичным с точки зрения построения системы, а применение параллельного кода допускает большую скорость обработки информации. В качестве компромисса часто применяется последовательно-параллельный код.

В цифровых системах обработки, в большинстве случаев, используется двоичный код, хотя в ходе обработки форма кода может изменяться (например, из двоичного в десятичный). Под выражением "цифровой код" в дальнейшем подразумевается двоичный код.

1-2 Место ПЗУ среди запоминающих устройств. Краткое определение понятия ПЗУ

В линиях обработки информации используют запоминающие устройства разных типов. Они разбиваются на две основные группы. Запоминающие устройства, принадлежащие к первой группе, характеризуются тем, что при прохождении через них вид информации в основном не изменяется. В противоположность этому запоминающие устройства второй группы играют значительную роль в процессе осмысливания информации. В этих устройствах информация преобразуется в более развитую форму с точки зрения понимания и обзора физических явлений. Устройства первой группы называются запоминающими устройствами переносного типа, а устройства второй группы — оперативными запоминающими устройствами.

Запоминающие устройства переходного типа, в свою очередь, разбиваются на две подгруппы. К первой из них относятся запоминающие устройства постоянного типа. В общем случае, они обладают большой емкостью (магнитная лента, бумажная лента и т.д.) и приспособлены для приема набора информации всего эксперимента и дальнейшего его хранения на любое время. Эти устройства позволяют считывать информацию без ее разрушения, и таким образом, процесс считывания можно повторять без ограничений.

Ко второй подгруппе принадлежат ПЗУ. Они представляют собою малоемкостные накопители, в которых информация сохраняется лишь на короткое время.

1-3 Общая формулировка задачи ПЗУ

Задача ПЗУ заключается в том, чтобы осуществлять согласование между двумя участками линии обработки, обладающими различными свойствами. Рассмотрим, в каких случаях в линии обработки требуется согласование.

В цифровых системах часто случается, что в линии обработки число параллельных каналов по какой-либо причине меняется (например, 100-разрядный параллельный код передается на перфоленту, имеющую 4 дорожки). В таких случаях требуется преобразование параллельного кода в параллельно-последовательный. Другими словами, требуется согласование по разрядам между двумя участками линии.

Согласование необходимо осуществлять между двумя участками линии обработки и в тех случаях, когда информационная пропускная способность участков линии в единицу времени различна. Без согласования информация, которая проходит свободно через участок линии, имеющей достаточную пропускную способность, может в сильной степени теряться на участке, обладающем худшими пропускными свойствами. Согласование, осуществляемое с целью избежания подобных потерь, называется согласованием по времени.

1-4 Общее описание структуры ПЗУ

Общая структура ПЗУ показана на рис. 1. ПЗУ расположено на линии обработки, проходящей от источника информации до блока выдачи результатов с целью согласования двух участков линии.

Схемы ПЗУ можно объединить в четыре основных блока:

- 1 входной блок,
- 2 память,
- 3 выходной блок,
- 4 блок управления.

Построение реализованных ПЗУ многообразно. До сих пор не разработан стандартный тип этого устройства, годный для общего применения, подобный временным и амплитудным анализаторам. Это положение объясняется тем, что задачей ПЗУ является именно согласование стандартных устройств в изменяющихся обстоятельствах экспериментов. Поэтому характеристики ПЗУ всегда должны отвечать требованиям конкретной задачи. Таким образом, и содержание блоков рис. 1 изменяется.

В входном блоке ПЗУ, в общем случае, находится какая-то система ворот и быстрого регистра; память ПЗУ составлена из запоминающих регистров и схем выбора, а выходному блоку, обычно, принадлежит один, так называемый, выходной регистр.

Блок управления представляет собою совокупность логических схем, имеющих тесную внутреннюю связь с остальными блоками. Задачей этих схем является управление действием остальных блоков согласно предписанным условиям.

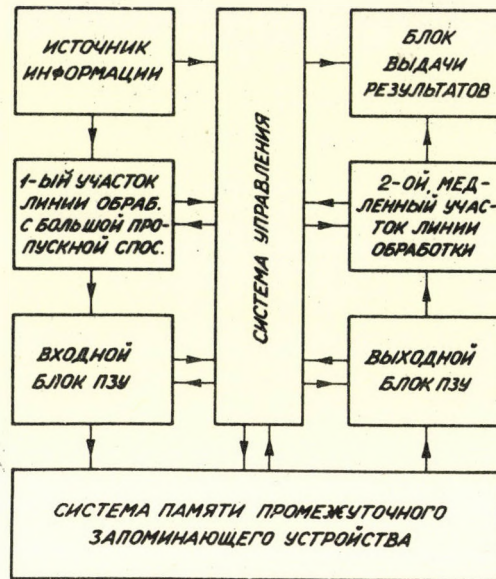


Рис. 1

В перечисленных блоках, кроме названных схем, находятся еще такие, как усилители, формователи, генераторы импульсов и т.д.

В большинстве случаев ПЗУ дополняются блоком кодирования для ввода программ оперативных устройств линии обработки (напр. вычисл. машин), блоком контроля для испытания работы ПЗУ и т.д.

Особенностью ПЗУ является то, что в отдельных применениях оно настолько связано с согласуемыми устройствами, что выделение ПЗУ из этих устройств практически невозможно. Например, в случае применения ПЗУ во временных анализаторах схемы управления и адресный регистр анализатора являются функциональными частями и анализатора, и ПЗУ. Таким же образом, пересчетная схема преобразователя времени в код одновременно является и входным регистром ПЗУ.

1-5 Согласование по разрядам с помощью ПЗУ

При согласовании по разрядам задачей ПЗУ является согласование, скажем, A -канального участка линии обработки с участком, имеющим $B \neq A$ каналов.

В случае, когда $A > B$ ПЗУ должно преобразовать A разрядный параллельный код в последовательности групп, состоящих из B разрядов. Структура ПЗУ, совершающих согласование такого типа, весьма проста. Блок памяти этих устройств содержит лишь один запоминающий регистр, а входные и выходные схемы составлены из простых схем ворот и формирователей. Передача информации происходит таким образом, что A -разрядный параллель-

ный код записывается в запоминающий регистр, имеющий A разрядных ячеек. Затем входные ворота блокируются и следует $n = A/B$ тактов работы. Первыми на выход ПЗУ передаются элементы кода $1, 2, \dots, B$, а затем - элементы $B + 1, B + 2, \dots, 2B$ и т.д.

В случае, когда $A < B$, в ходе процесса согласования ПЗУ должно составить B -разрядный параллельный код из последовательных A -разрядных групп. Это задача является обратной выше описанной. ПЗУ, совершающие согласование такого типа, по построению в некоторой степени сложнее предыдущих [A1, A2].

1-6 Согласование по времени с помощью ПЗУ

Пусть какая-либо система обработки информации (например, магнитофон перфоратор, амплитудный или временный анализатор) требует время τ_k для приема одного кода. Максимальное число обрабатываемых этой системой кодов в единицу времени равно $N_m = 1/\tau_k$. Явно, что такое количество информации можно обрабатывать с помощью данного устройства только в том случае, если временное распределение событий равномерно. Однако, поскольку распределение событий неравномерно, временное расстояние τ между кодами постоянно меняется и получается $\tau \geq \tau_k$. В каждом случае, когда будет $\tau < \tau_k$, один код теряется, а когда $\tau > \tau_k$, условие оптимальной эксплуатации систем обработки не выполняется.

Потери информации можно уменьшать выбором $N_c \ll N_m$ (где $N_c = 1/\tau_c$ - среднее число событий в единицу времени при большой статистике). Однако, это приводит к ухудшению экономичного использования системы обработки.

Другим методом является временное согласование данного "медленного устройства" с быстрой системой, передающей коды в неравномерном распределении с помощью ПЗУ. Конкретная задача ПЗУ в этом случае заключается в том, чтобы неравномерное распределение преобразовывать в равномерное.

Из характера неравномерного распределения следует, что среднее число событий N , относительно одинаковых отрезков времени, меняется. В одних отрезках может быть $N > N_c$, а в других - $N < N_c$. Равномерное распределение кодов на выходе ПЗУ можно обеспечивать таким образом, что избыток кодов ($N - N_c$) накапливается в блок памяти ПЗУ, а нехватка ($N_c - N$) получается из блока памяти. Следовательно, для согласования по времени можно использовать запоминающие устройства только такого типа, которые приспособлены для одновременного хранения больше одного кода, значит, имеющих несколько запоминающих регистров.

При выполнении таких задач ПЗУ совершает разравнивание во времени. Роль ПЗУ в этом случае аналогична конденсатору, который заряжается током импульсов, а разряжается постоянным током. На основании подобных аналогий ПЗУ, выполняющие согласование по времени, называются также буферными запоминающими устройствами.

Некоторые из ПЗУ временного согласования приспособлены для согласования только по времени, а другие выполняют согласования и по времени, и по разрядам. В последних выходной блок соответствует требованиям поразрядного согласования.

1-7 Основные характеристики ПЗУ

Основными характеристиками ПЗУ являются следующие:

- а/ мертвое время,
- б/ буферная емкость,
- в/ число входных и выходных параллельных каналов,
- г/ логическая структура,
- д/ пропускная способность.

Основные характеристики определяются следующим образом:

Мертвое время: после приема кода процесс записи и восстановления схем занимает некоторое определенное время, в течение которого ПЗУ не способно к приему новой информации.

Буферная емкость определяется количеством кодов, накапливаемых одновременно в устройстве. Разумеется, что это количество равно числу запоминающих регистров ПЗУ.

Число параллельных входных и выходных каналов определяет возможности ПЗУ с точки зрения поразрядного согласования.

Логическая структура ПЗУ выражается в построении схемы управления. Логическая структура определяет, в какой последовательности происходит накопление и передача информации в соответствии с данными внешними командами. Способ выполнения задачи в общем случае оказывается условным, т.е. функцией внутреннего состояния ПЗУ.

Пропускная способность. Под этим выражением подразумевается максимальное количество кодов, обрабатываемых в единицу времени. В зависимости от схемы и построения ПЗУ это количество может быть ограничено разными факторами, таким, как мертвое время или предельная скорость выходных схем, и в частности, возможностями теплоотвода от отдельных схем ПЗУ.

1-8 Автоматизированные измерительные системы и применение в них ПЗУ

Перед описанием реализованных систем ПЗУ целесообразно кратко рассмотреть типы автоматизированных систем ядерной физики и, в связи с этим, случаи применения ПЗУ в общем.

По систематизации *Amram* а [А3] автоматизированные измерительные системы можно разбить на 4 основные группы, как показано на рис. 2.

Системы типа А характеризуются тем, что в них код информации непосредственно подвергается анализу и сортировке (например, одномерный анализ). В ряде случаев результат сортировки уже дает удовлетворительное представление о происходящих событиях. При более сложных измерениях результат сортировки дополнительно передается на вычислительную машину для дальнейшего анализа.

Системы типа В отличаются от системы типа А лишь тем, что кроме анализирующего и сортирующего устройства они содержат еще ПЗУ, которое в данном случае выполняет задачу согласования по времени.

В случаях, когда входная информация представлена в аналоговой форме, используются аналоговые ПЗУ [А4], если скорость аналого-цифровых преобразователей недостаточна. В таких системах требуется промежуточное накопление кодов между источником информации и преобразователем, а не между преобразователем и анализатором. С увеличением скорости преобразователей может возникнуть необходимость применения цифровых ПЗУ в таких системах также.

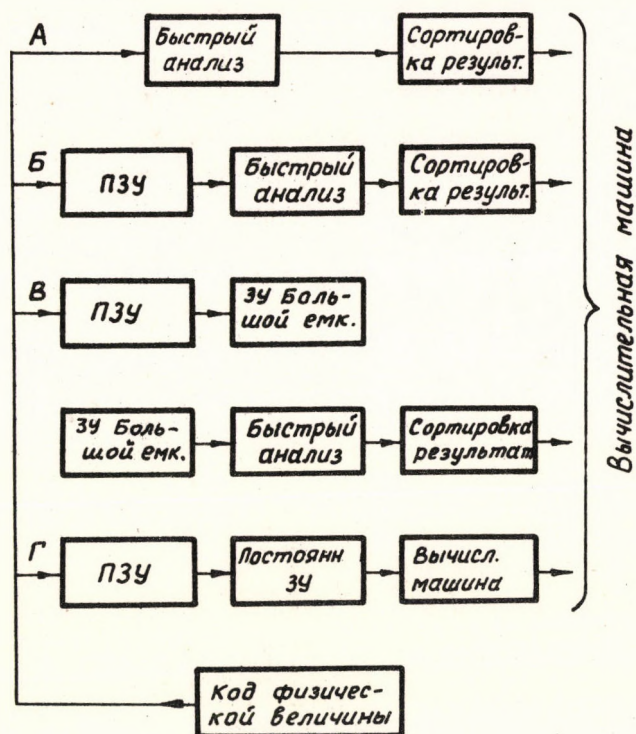


Рис. 2

Автоматизированные системы типа *В* характеризуются тем, что в них этап накопления информации отделен от этапа ее обработки. Соответственно этому системы состоят из двух главных частей, одна из которых служит для приема и накопления информации, а другая — для ее обработки. В первой части находится ПЗУ и запоминающее устройство постоянного типа, а во второй части — блоки анализа и сортировки. При использовании таких систем основной проблемой является то, что постоянные запоминающие устройства представляют собой медленные системы, у которых способность приема информации на относительно короткое время — небольшая. Для устранения этой проблемы в этих системах используется ПЗУ.

Как показано на рис. 2, в системах обработки типа *Г* набор информации измерения также накапливается целиком в запоминающем устройстве постоянного типа с применением ПЗУ, но из первого он передается непосредственно на вход вычислительной машины. Устройство вычислительных машин, применяемых для таких задач, является сравнительно простым. В зависимости от сложности измерения в ряде случаев требуется использование еще одной более мощной вычислительной машины для анализа предварительных результатов. ПЗУ в данной системе обработки также выполняет задачу согласования по времени, а в отдельных случаях и по разрядам.

Схема *Алгата* наглядно поясняет в общих чертах задачу и значение ПЗУ в автоматизированных экспериментах ядерной физики. Более подробное описание автоматизированных систем [А5-А11], [В1-В3] выходит за рамки настоящей работы.

1-9 Классификация промежуточных запоминающих устройств

С точки зрения ядерных измерений является целесообразной следующая классификация ПЗУ:

- 1/ ПЗУ с одним запоминающим регистром,
- 2/ ПЗУ, содержащие большее число запоминающих регистров,
 - а/ многорегистровые ПЗУ, отличающиеся тем, что в их работе этапы накопления и считывания информации разделены друг от друга.
 - б/ многорегистровые ПЗУ, в работе которых этап накопления и считывания информации друг от друга не разделяются.

Под выражением "этап накопления" подразумевается то время, в течение которого информация накапливается в блоке памяти, а под выражением "этап считывания информации" - то время, в течение которого информация передается из блока памяти на выходные схемы ПЗУ.

1-10 Реализованные устройства

1-10. 1 ПЗУ с одним запоминающим регистром

Однорегистровые ПЗУ неспособны на одновременное хранение больше одного кода, и поэтому их можно использовать лишь для согласования по разрядам. Они применяются в таких случаях, когда среднее число событий $N_c \ll N_M = 1/\tau_k$.

Блок-схема однорегистрового ПЗУ Collinge и Marciano [A12] показана на рис.3.

Устройство состоит из двух основных частей, одна из которых представляет собой 32-х разрядный запоминающий регистр, а другая является системой логических схем, с помощью которых осуществляется управление процессом передачи информации. ПЗУ работает следующим образом. На первом шаге 32-х разрядный код поступает на запоминающий регистр, где запоминается. Затем под воздействием команды перфорирования элементы кода передаются на перфоратор в виде последовательности отдельных групп. Одна группа содержит 4 двоичных элемента кода. Полная передача производится за 8 шагов. Информация с перфоранты поступает на вычислительную машину или в устройство сортировки. Схема ПЗУ имеет возможности для печатания выходной информации в цифровой форме.

На рис. 4 показана более подробная в некоторой мере схема ПЗУ. Схема наглядно поясняет процесс выдачи информации из устройства. Процесс управляется тактовыми импульсами, поступающими на вход синхронизации. Эти импульсы передаются в двоичную пересчетную схему на 8. Пересчетная схема вместе с дешифратором, подключенным к ее выходам, представляет собой коммутатор на 8 линий. Под действием первого тактового импульса на первой линии коммутатора, подключенной к схемам И каналов A_1, A_2, A_3, A_4 , появляется отпирающее напряжение. Вследствие этого информация из разрядных ячеек запоминающего регистра, соответствующих каналам A_1, A_2, A_3, A_4 , через формирователи передается в перфоратор. При следующем тактовом импульсе получают отпирающее напряжение логические схемы И, расположенные по каналам A_5, A_6, A_7, A_8 , и передается информация 5, 6, 7 и 8-го разрядных ячеек запоминающего регистра и так далее. Под действием 8-го

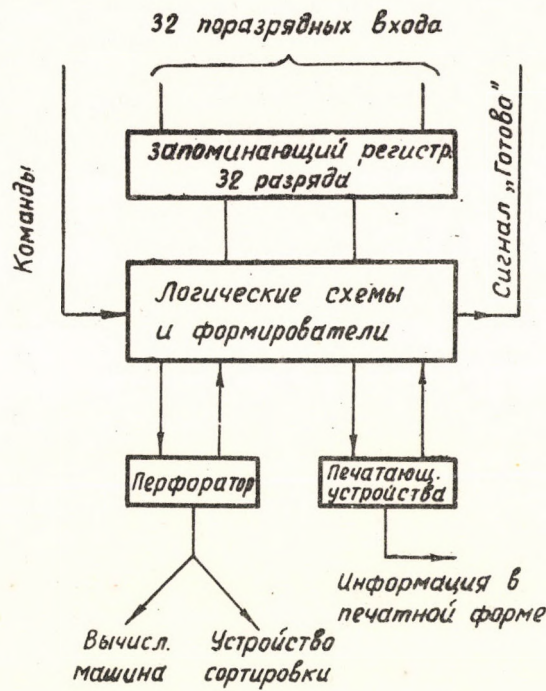


Рис. 3

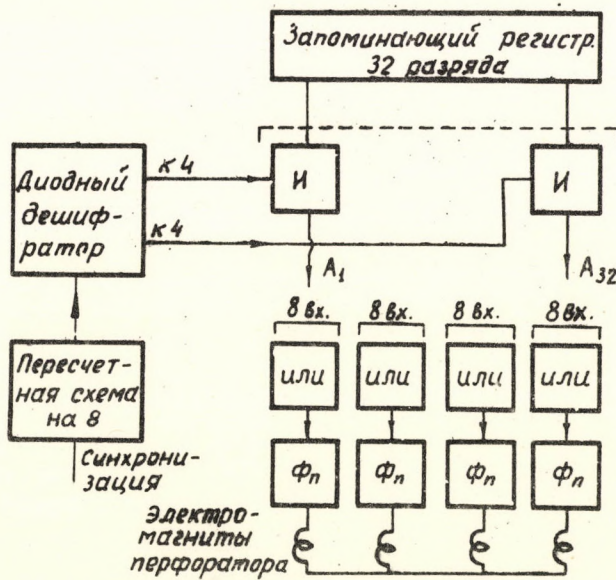


Рис. 4

Тактового импульса в перфоратор поступают последние разряды кода из регистра. Одновременно тактовый генератор получает импульс остановки с 8-ой линии коммутатора. Этим заканчивается цикл работы ПЗУ, и оно готово для приема следующего кода.

1-10. 2 Многорегистровые ПЗУ

Многорегистровые ПЗУ являются способными для одновременного хранения больше одного кода и, таким образом, с помощью их можно выполнять согласование и по времени, и по разрядам. Вследствие этого качества область их применения гораздо шире одnoreгистровых.

ПЗУ Ностона [A13] является двухрегистровым запоминающим устройством. Упрощенная блок-схема системы представлена на рис. 5. Один из регистров состоит из триггеров на транзисторах и обладает большей скоростью, а другой представляет собой ферритовую матрицу. Быстрый регистр служит только для временного запоминания информации, а ферритовый регистр, кроме того, участвует и в выполнении задачи поразрядного согласования. Регистры дополняются логическими схемами для определения последовательности работы ПЗУ (на рис. не показаны) и выходными блоками.

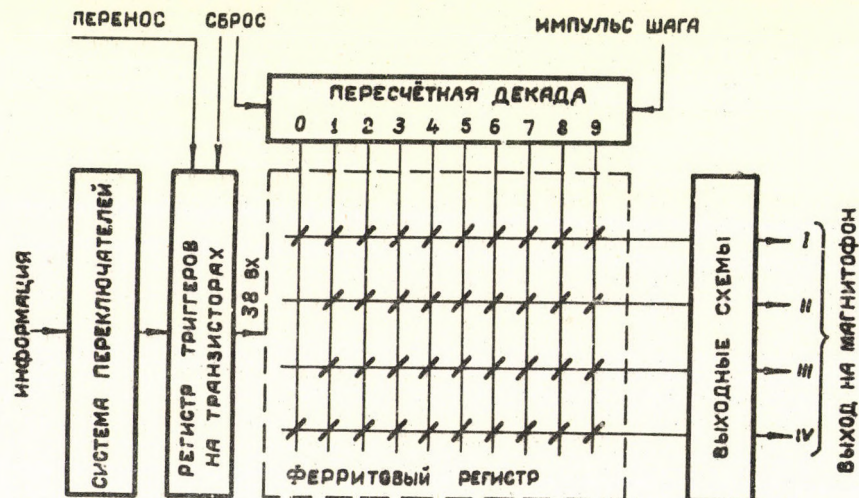


Рис. 5

ПЗУ работает следующим образом. На первом шаге код измерения поступает на быстрый регистр. Если ферритовый регистр не содержит информации, код немедленно переносится в этот регистр. Информация из ПЗУ передается на магнитофон. Передача производится с помощью пересчетной декады кольцевого типа непосредственно из ферритовой матрицы. Декадная схема обеспечивает временную последовательность импульсов для отдельных вертикальных шин 0, 1, 2, ... 9 матрицы. При каждом импульсе считывается информация одной группы ферритовых сердечников, и через горизонтальные шины считывания она передается на выходные схемы, а оттуда - на магнитофон. Таким образом передача одного 38-ми разрядного кода на магнитофон происходит за 10 шагов.

В тех случаях, когда ферритовый регистр занят информацией, код, поступивший на быстрый регистр, сохраняется там до тех пор, пока продолжается процесс считывания из матрицы.

Данное ПЗУ нашло применение при измерениях в импульсном режиме. Прием информации производится всегда во время посылок частиц, а выдача ее на магнитофон - в паузах между импульсами источника частиц.

Передача одного кода на магнитофон занимает все время паузы. Вследствие этого среднее число обрабатываемых событий не может превышать числа циклов работы источника частиц. Однако благодаря наличию двух запоминающих регистров в частных случаях ПЗУ способно принимать информацию и двух событий в одном цикле работы, выполняя таким образом задачу согласования по времени.

Логические схемы, управляющие операциями ПЗУ, обеспечивают передачу информации в быстрый регистр только в том случае, когда этот регистр не занят. Благодаря логическим схемам передача информации между регистрами также осуществляется только при незанятом состоянии ферритового регистра.

С помощью системы переключателей, связанной с быстрым регистром, этот регистр может быть приспособлен для различных условий измерения. Быстрый регистр можно применять в качестве пересчетной схемы в аналого-цифровых преобразователях (например, преобразователях времени в код), а в других случаях можно разбивать на большее число отдельных частей. Во время приема информации 1-й код поступает на 1-й участок регистра, 2-й - на второй участок и т.д. Когда регистр заполняется целиком или в конце этапа приема информации, все содержание быстрого регистра одновременно передается на ферритовую матрицу. В таком режиме уменьшается количество разрядов обрабатываемых кодов, но зато увеличивается буферная емкость ПЗУ и улучшается разравнивающая способность.

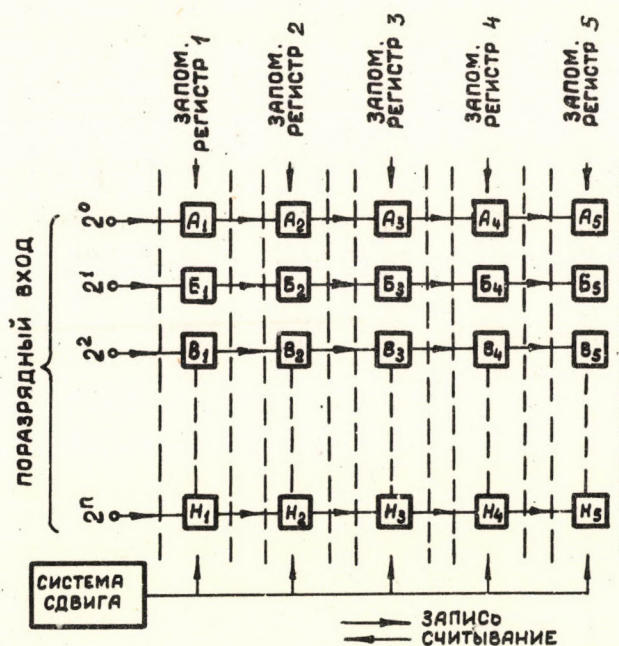


Рис. 6

ПЗУ Жукова, Забиякина, Шибеева и Штраниха [В4] обеспечивает согласование по времени источника информации и 25-ти дорожечного магнитофона. Устройство выполнено на реверсивных однократных сдвигающих регистрах на ферритовых сердечниках. Как показано на блок-схеме ПЗУ (рис. 6), число сдвигающих регистров (А, В, В, ... Н) соответствует числу двоичных разрядов параллельного кода информации (в данном случае оно равно 25). Запоминающие регистры ПЗУ состоят из соответствующих разрядов сдвигающих регистров.

Например, 1-й запоминающий регистр включает разряды $A_1, B_1, C_1, \dots, H_1$ сдвигающих регистров A, B, C, \dots, H .

Перенос параллельного кода в ПЗУ осуществляется импульсом записи, сфазированным с сигналами тактового генератора. Частота этого генератора равна 100 кГц.

Параллельный код от источника информации одновременно с тактовым импульсом поступает на первый запоминающий регистр. Тактовый импульс, выполнивший процесс записи, с 5-ти микросекундным запаздыванием переносит параллельный код из 1-го запоминающего регистра во второй. При последующем процессе записи, под воздействием тактового импульса, 2-ой код переносится из источника информации в 1-й запоминающий регистр, а затем через 5 мксек этот код передается на 2-ой запоминающий регистр, а предыдущий код - на третий и т.д.

На этапе считывания информация, записанная в ПЗУ, передвигается в обратном направлении справа налево по сдвигающим регистрам. Считывание информации для магнитофонной системы производится с элементов $A_2, B_2, C_2, \dots, H_2$ второго запоминающего регистра. Процесс считывания управляется фазирующими импульсами тактового генератора, однако, число повторений этого процесса соответствует скорости обработки магнитофона. Считывание информации на ПЗУ может производиться лишь в том случае, когда при данном тактовом импульсе не происходит записи.

Система *Alexander's и Leng's* [A14] состоит из двух основных частей, одна из которых содержит блок памяти с адресной системой, а другая - логические схемы. Последние, в свою очередь, разделяются на два субблока. В первом субблоке объединяются схемы последовательности операций а во втором - схемы блокировки входа.

Блок-схема ПЗУ показана на рис. 7.

Импульсы, управляющие записью и считыванием, поступают через блокирующие схемы в блок логических схем последовательности операций. Роль блокирующих схем заключается в том, чтобы избежать одновременного действия импульсов записи и считывания. Выполнение этого условия достигается тем, что обеспечивается определенный промежуток времени (Δt (ЗМК)) между вызовом импульсов, управляющих записью и считыванием.

Схемы последовательности операций выдают все те сигналы, которыми непосредственно определяется ход процесса записи и считывания информации.

Адресной системой ПЗУ является 6-ти разрядный реверсивный регистр. Под действием сигнала записи, поступающего на вход этого регистра, регистр совершает шаг "вперед", чем выбирается один из запоминающих регистров для записи очередного кода. С некоторым запаздыванием под действием этого же сигнала переписывается код информации из 16-ти разрядного регистра кода (на рис. 7 не показан) в выбранный запоминающий регистр.

При появлении импульса считывания, прежде всего, триггеры выходного регистра устанавливаются в состояние 0, а затем считываемый код передается из того запоминающего регистра, в котором была выполнена последняя запись, на выходной регистр, одновременно адресный регистр совершает один шаг назад.

В том случае, когда запись производится чаще считывания, блок памяти может заполниться, и адресный регистр приходит в состояние 5. В результате этого дальнейшие сигналы считывания вызывают появления импульсов переполнения.

В общем случае адресный регистр находится в одном из положений 0 : 5. Под действием импульса записи он всегда шагает вперед в направлении пустых запоминающих регистров, а под действием сигналов считывания - назад в направлении занятых запоминающих регистров.

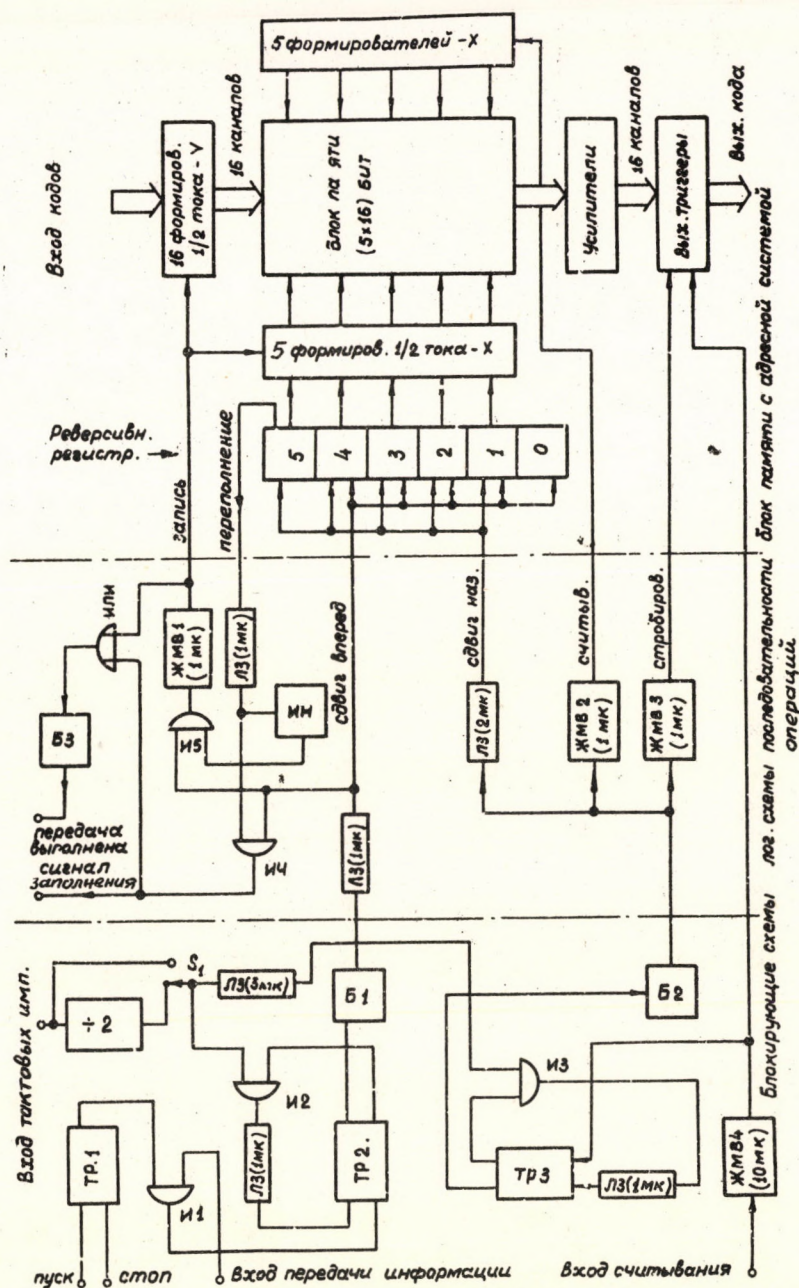


Рис. 7

Как следует из описания, ПЗУ имеет 5 запоминающих регистров. Его буферная емкость равна 5 кодам. Число разрядов кода равна 16.

ПЗУ *Higinbotham'a и Potter'a* [A15] построено для системы обработки информации, применяющейся совместно с импульсным ускорителем. Буферная емкость выбрана согласно характеристикам ускорителя и выходного устройства так, чтобы ПЗУ было способно передать максимальное возможное количество информации, накопленной в нем, на дальнейшую обработку за время паузы ускорителя. Это условие определяет построение ПЗУ.

Принцип работы ПЗУ можно видеть из рис. 8. Коды событий, происходящих за время импульса ускорителя, передаются на регистр X. С этого регистра, под воздействием схемы управления ПЗУ, коды переносятся на запоминающий регистр, выбираемый по координате Y с помощью адресной пересчетной схемы. При передаче кода в блок памяти регистр X освобождается и снова готов для приема следующего кода. В конце импульса ускорителя или в том случае, когда каждый из запоминающих регистров занят, прием информации за- прещается.

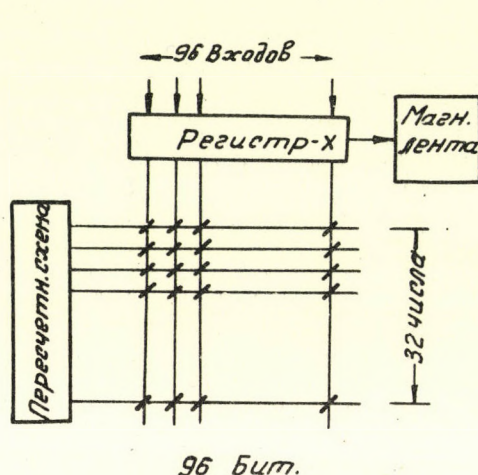


Рис. 8

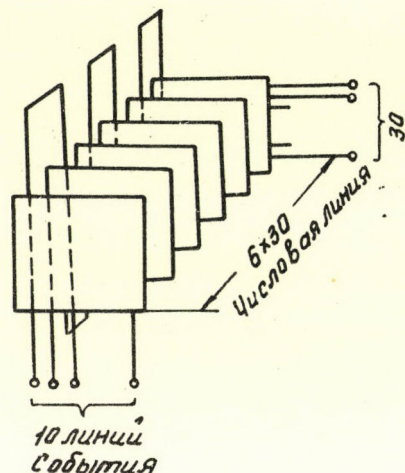


Рис. 9

В паузе ускорителя соответственно выбору регистра Y, коды последовательно передаются из блока памяти на регистр X, а с регистра X каждый код переносится на магнитную ленту группами, состоящими из 6-ти двоичных разрядов.

ПЗУ приспособлено для хранения параллельных двоичных кодов, содержащих до 96 разрядов. Число запоминающих регистров (т.е. буферная емкость ПЗУ) равно 32.

Система Evans'a и Kirsten'a [A16]. ПЗУ предназначено для выполнения задач временного и поразрядного согласования при исследованиях на беватроне. Буферная емкость ПЗУ равна 10 кодам. Максимальное число разрядов одного кода равно 180.

Блок памяти ПЗУ состоит из 6 плоскостей, каждая из которых содержит (10x30) ферритовых сердечников, которые расположены по 10-ти вертикальным и по 30-ти горизонтальным шинам. Горизонтальные шины являются двойными. Одна из них предназначена для записи, а другая - для опроса. Соответственные вертикальные шины плоскостей присоединяются так, как показано на рис. 9. Каждой линии вертикальных шин (линия событий) соответствует один формирователь импульса записи и один - считывания.

Параллельный код переносится в блок памяти по 180-ти (6x30) горизонтальным шинам поразрядной записи. Параллельно шинам поразрядной записи расположены 180 шин поразрядного опроса. К каждой из 360 горизонтальных шин соответствует отдельный формирователь. Кроме названных шин, в каждой плоскости находится еще один провод, пронизывающий сердечники плоскости, предназначенный для вывода информации из блока памяти (провод считывания).

Одновременно с появлением сигналов параллельного кода на шинах поразрядной записи и на шину событий, выбранную для записи, поступает импульс. Таким образом, код записывается в 180 сердечников вертикальной плоскости, определяемой выбранной линией события.

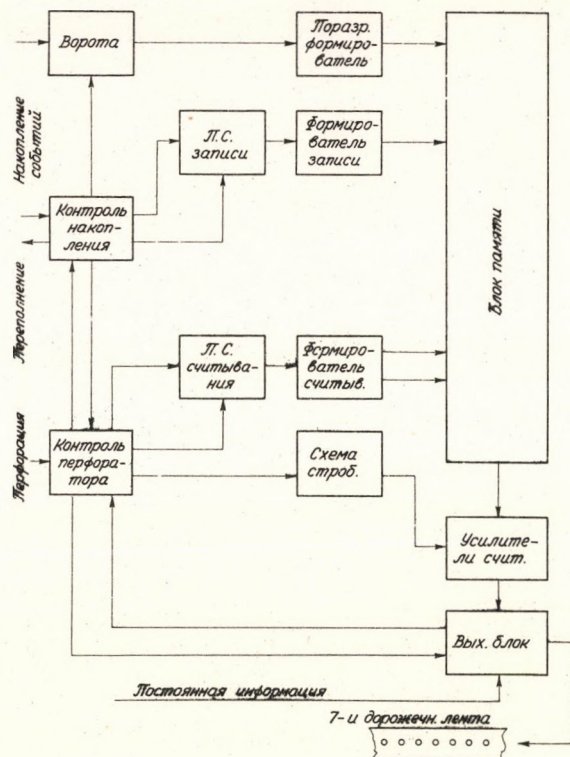


Рис. 10

Вывод кода из блока памяти производится за 30 последовательных шагов. При каждом шаге импульс поступает на шину события считываемого кода и одновременно на 6 шин поразрядного опроса, лежащих в одной горизонтальной плоскости. Таким образом при одном шаге считывания на проводах считывания появляется информация от 6 сердечников.

Скорость применяемого перфоратора позволяет передачу 60 шестиразрядных двоичных групп в течение одной секунды.

В работе ПЗУ прием информации отделяется от ее передачи на перфоратор. Во время посылок беватрона ПЗУ способно к приему не более 10-ти кодов. Пауза беватрона равна 5 сек. Из вышезаданных характеристик видно, что время перерыва ускорителя как раз достаточно для передачи 10-и кодов из ПЗУ на перфоратор.

Длительность циклов записи и считывания равны 40 мксек.

На рис. 10 показана блок-схема устройства. Блок контроля накопления и блок контроля перфоратора выполняют задачу управления последовательностью операций. Блок контроля накопления дает сигнал отпираания на ворота входа информации одновременно с появлением кода событий. Ворота пропускают код на формирователи поразрядной записи. В то же время адресная пересчетная схема записи получает сигнал, под действием которого выбирается очередная линия событий, и через эту линию (через формирователь записи) пропускается импульс. Таким образом осуществляется запись кода. В том случае, когда блок памяти уже заполнен информацией, блок контроля накопления дает сигнал переполнения, который запрещает дальнейший процесс записи.

В начале паузы ускорителя срабатывает блок контроля перфоратора. Под воздействием сигнала с этого блока адресная система считывания производит считывание выше

описанным образом в течение 30-и шагов по кодам. Роль схемы стробирования заключается в том, чтобы вырабатывать отпирающий импульс для усилителя считывания в момент, являющийся оптимальным с точки зрения отношения сигнал/шум.

Постоянная информация (стандартные программы и т.д.) передаются прямо на выходной блок ПЗУ. Так как эта информация не проходит через блок памяти, для нее не требуется запоминающих емкостей, а с другой стороны, уменьшается количество источников ошибок.

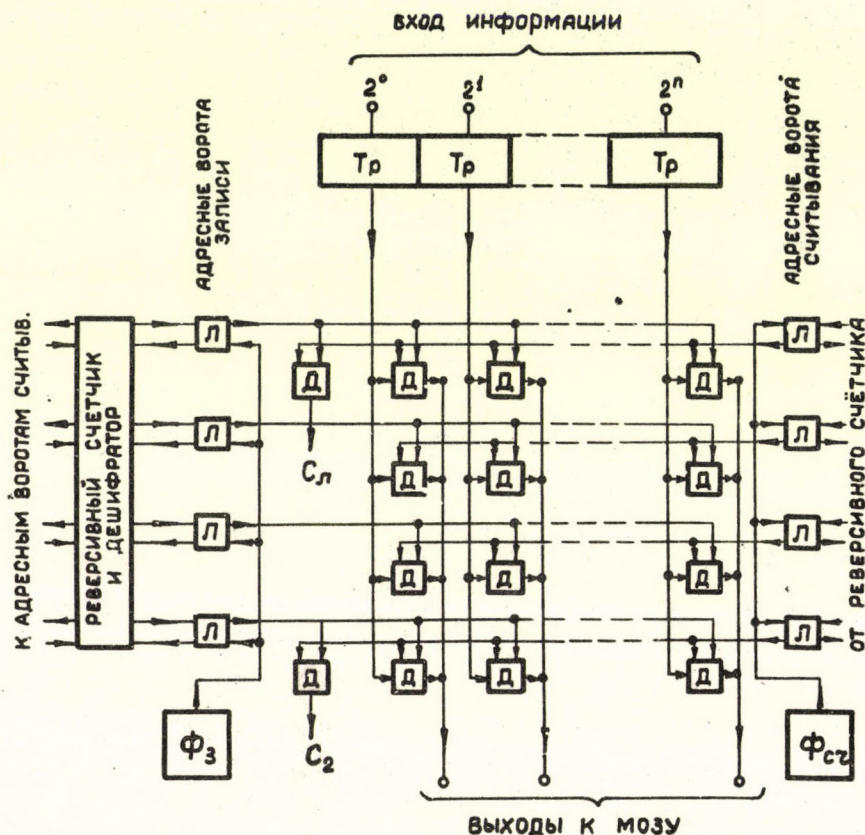


Рис. 11

ПЗУ Барилко и Зарецкого [В5] предназначено для согласования аналого-цифровых преобразователей и МОЗУ многоканальных временных анализаторов.

Блок-схема системы показана на рис. 11. ПЗУ содержит 4 запоминающих регистра, входные триггеры-формирователи (T_p), реверсивный счетчик с дешифраторами, формирователи, адресные логические схемы записи и считывания (L) и усилители.

Запоминающие регистры выполнены на туннельных диодах (D). При записи код подается на вход информации и через кодовые формирователи (T_p) поступает на вертикальные шины поразрядной записи. Одновременно импульс формирователя записи ϕ_3 передается на общую шину адресных ворот записи L . В случае, когда блок памяти пуст, триггеры реверсивного счетчика установлены в такое положение, при котором верхние адресные ворота L пропускают импульс от ϕ_3 на адресную шину первого запоминающего регистра. При этом код записывается в этом регистре. Одновременно реверсивный счетчик изменяет состояние на +1, и его триггеры устанавливаются в таком состоянии, при котором запись может производиться во второй регистр, а считывание с 1-го регистра.

Во время записи схемы считывания блокируются. После записи в 1-й регистр блокировка снимается, если отсутствует следующий импульс управления записью, и под действием очередного импульса управления временного блока анализатора срабатывает формирователь считывания $\phi_{\text{сч}}$. Считывание в этом случае производится с 1-го запоминающего регистра. Одновременно реверсивный счетчик изменяет состояние на -1. Однако, если приходит импульс управления записью, то схемы считывания остаются заблокированными, и описанный выше процесс записи повторяется таким образом, что следующий код записывается во 2-ом запоминающем регистре и триггеры реверсивного счетчика переводятся в состояние, при котором запись может производиться в 3-й регистр, а считывание - со 2-го.

При считывании импульс формирователя $\phi_{\text{сч}}$ всегда проходит через адресные входы к тому запоминающему регистру, в который производилась последняя запись. Код, хранящийся в нем, передается с вертикальных шин считывания через усилители на анализатор.

Блокировка записи осуществляется только в том случае, когда все запоминающие регистры заполнены или происходит считывание.

Считывание блокируется, в случаях, когда блок памяти ПЗУ пуст или производится запись.

ПЗУ придана система проверки. В режиме проверки работа ПЗУ разбивается на два этапа. На первом этапе все регистры блока памяти заполняются кодами, а во втором производится считывание всех этих кодов.

Время цикла работы ПЗУ равно 1 мксек.

ПЗУ Маталлина, Шиманского, Чубарова и Штрауха [В6] так же применялось в качестве разравнивающего устройства временного анализатора. Буферная емкость ПЗУ равна 4-м кодам. Число разрядов запоминающих регистров равна 10.

Блок памяти устройства выполнен на ферритовых сердечниках. Сердечники располагаются в матричной плоскости (10x4).

При записи выбор запоминающих регистров производится с помощью быстрого кольцевого счетчика, а при считывании - с помощью медленного двоичного счетчика, которые изменяют состояние на 1 при каждом производящемся процессе записи т.е. считывания. Считывание информации идет параллельно с записью повторением, соответствующим оперативному запоминающему устройству временного анализатора.

Запись информации производится при совпадении полутоков системы выбора и формирователей входа информации, а считывание - полным током формирователей считывания.

К началу каждой нейтронной посылки счетчики записи и считывания устанавливаются в состояние 0 так, что и запись и считывание начинаются с первого запоминающего регистра.

Последовательность записи и считывания определяется командами со схемы управления временного анализатора и ПЗУ.

Каждому из запоминающих регистров принадлежит, кроме запоминающих, еще один дополнительный сердечник, который находится в состоянии 0, когда регистр не занят, а переключается в состояние 1 при записи кода. Через некоторое время после записи этот сердечник опрашивается и сигнал с него передается для управления МОЗУ анализатора. Если при опрашивании появляется сигнал 1, производится считывание кода из ПЗУ и передача его на медленный адресный регистр анализатора. С окончанием цикла работы МОЗУ адресный счетчик считывания ПЗУ устанавливается в положение, в котором он выбирает 2-ой запоминающий регистр. Процесс считывания повторяется, если за время обработки информации в анализаторе произошла дальнейшая запись в ПЗУ.

В данной системе блокировка при заполнении блока памяти не производится, и, таким образом, адресный счетчик считывания может отстать на полный цикл от регистра записи. В этом случае отдельные коды могут накладывать друг на друга, что в результате дает неправильную информацию.

ПЗУ *Иванова и Маталина* [B7] представляет собой разравнивающее устройство временного анализатора. Запоминающие регистры устройства выполнены на туннельных диодах, а остальные схемы - на транзисторах. Мертвое время ПЗУ составляет 0,1 мсек. Максимальное число разрядов кода равно 10. О величине буферной емкости в описании устройства сведения не было. Принцип работы ПЗУ не отличается существенно от выше описанной системы *Маталина* и др., поэтому его подробное описание можно не приводить.

ПЗУ *Boucherie* [A17] предназначено для согласования магнитофона с источником информации.

Буферная емкость устройства равна 10 кодам, а число разрядов кода равно 16. Мертвое время составляет 1 мсек.

Организация и работа блока памяти являются подобными системе *Барилко и Зарецкого* [B5], *Маталина* и др. [B6] (см. выше), т.е. схема выбора представляет собою одномерную систему, запись происходит при совпадении полуточков, а считывание - под действием единственного тока выбора считывания. В качестве запоминающего элемента применялся триггер на дополнительных транзисторах.

Важней характеристикой адресных схем является наличие отдельных адресных регистров как в системе выбора записи, так и в системе выбора считывания. Положение этих регистров относительно друг к другу таково, что адрес считывания будет всегда по крайней мере на 1 меньше адреса записи.

ПЗУ управляется сигналом "события". Этот импульс передается в ПЗУ сфазировано с тактовым генератором. Тактовый генератор определяет минимальное временное расстояние, с которым последовательные коды записываются в ПЗУ.

Считывание из блока памяти производится при условии, что в блоке памяти хранится, по крайней мере, один код, и не происходит передачи информации из выходного блока ПЗУ.

Этап записи и считывания в работе ПЗУ не разделены.

С помощью логических схем регистрируется состояние, в котором каждый из регистров блока памяти занят информацией. В этом случае с логических схем поступает сигнал. Этим предоставляется возможность изменения параметров измерения, влияющих на среднее число событий.

От устройства *Boucherie* по структуре существенно не отличается ПЗУ, разработанное ранее *Amram*ом и др. [A18]. Оно имеет также 10 16-и разрядных запоминающих регистров. Значительным различием является лишь то, что *Amram* в качестве запоминающего элемента применяет конденсатор.

Система ПЗУ *Whiteheada, Wells'a и Page* [A19] представляет собой часть автоматизированной измерительной системы искровой камеры со звуковыми детекторами. Блок-схема устройства приведена на рис. 12.

Блоком памяти системы является ферритовая матрица, содержащая (14x14) сер-дечников.

В работе ПЗУ этапы накопления и выдачи информации разделены во времени.

Этап накопления начинается с момента пуска камер. Одновременно с началом

ники k -ой строки матрицы. При описанном способе момент появления сигнала микрофона регистрируется с точностью 1 мсек. Принцип работы устройства позволяет выполнять одновременную запись информации и от большего числа детекторов.

Кроме информации с микрофонов в ПЗУ записывается и другие параметры измерений, как, например, время пролета частиц, участвующих в ядерной реакции, амплитуды сигналов нескольких детекторов и т.д. Информация, относящаяся к этим параметрам должна быть закодирована в аналоговый временной код до передачи ее в ПЗУ.

Емкость пересчетной схемы преобразователя составляет 13 бит. Через 8,191 мсек после пуска на выход этой схемы поступает импульс остановки. Этим заканчивается этап накопления, и начинается выдача информации.

Считывание производится согласно командам регистра последовательности считывания. Коды передаются из матрицы на 14-ти разрядную двоичную пересчетную схему считывания, которая является регистром сдвига, а оттуда 5-ти разрядными группами - на перфоратор. Система управления ПЗУ обеспечивает перенос информации из блока памяти в выходной регистр только при незанятом регистре. На этапе считывания схемы записи блокируются.

Специфика ПЗУ заключается, с одной стороны, в том, что сигналы с микрофонов несут двойную информацию: а/ время и б/ порядковый номер микрофона, а, с другой стороны, в том, что ПЗУ выполняет задачу аналогово-цифрового преобразования. При этом основной состав информации, поступающей на вход ПЗУ в аналоговой форме, не меняется, но из ПЗУ она выдается в цифровой форме.

ПЗУ *Illenberger'a* и *Ohmann'a* [A20] было разработано для общих применений в области цифровой техники, но примененные в нем принципы могут оказаться полезными и в ПЗУ ядерной физики.

Блок памяти ПЗУ основан на принципе совпадения токов и состоит из 6 матричных плоскостей, в каждой из которых расположено 1260 ферритовых сердечников. По осям X находится по 35, а по осям Y по 36 сердечников. Вуферная емкость ПЗУ составляет 1260 кодов. Число двоичных разрядов кода равно 6. Каждой из плоскостей соответствует один провод поразрядной записи и один провод поразрядного считывания.

Система выбора характеризуется тем, что и для записи и для считывания имеются отдельные, независимые друг от друга адресные схемы. Адресные схемы являются двумерной системой, т.е. они обладают адресными регистрами как по оси X , так и по оси Y . Выбор одного запоминающего регистра соответствует определенному состоянию адресных регистров. Последовательность выбора строго задана и одинакова как при записи, так и при считывании. Таким образом, вывод информации из ПЗУ производится в том же самом порядке, что и ее ввод в него.

Способ выбора (строго заданная последовательность) дает возможность простого выполнения адресных схем. Адресные регистры являются простой кольцевой пересчетной схемой.

Процесс выбора при записи производится таким образом, что управляющий импульс поступает на входы адресных регистров записи X и Y . Под действием импульса оба регистра изменяют состояния на +1 и занимают новое положение. В каждом состоянии регистры выделяют одну шину X и одну шину Y . Выбираемый запоминающий регистр находится на пересечении этих шин. Порядок выбора осуществляется в последовательности, показанной на рис. 13 в качестве примера для случая, когда адресный регистр X имеет 9, а адресный регистр Y - 5 устойчивых состояний.

Процесс выбора при считывании, как уже было сказано, производится тем же самым образом с помощью адресных регистров считывания X и Y .

При использовании адресных систем такого типа надо обеспечивать то, чтобы числа устойчивых состояний регистров X и Y , были простыми числами по отношению друг к другу.

Время цикла работы ПЗУ равно - 5 мксек.

ПЗУ находит *особое применение* в строчных печатающих устройствах [A1, A2]. В этих применениях задач ПЗУ является поразрядное согласование. Информация поступает в ПЗУ в виде последовательных групп, а выдается из него в параллельном коде.

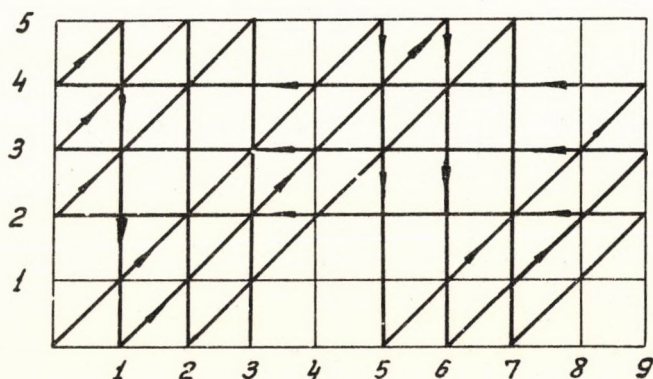


Рис. 13

Строчные печатающие устройства обладают некоторым количеством (например n) печатающих колес, расположенных на одной оси. Каждое из колес имеет на своей цилиндрической поверхности, положим, m разных знаков.

Основной частью ПЗУ является ферритовая матрица. Сердечники матрицы расположены по m строчкам и n столбцам ($m \times n$). Таким образом, матрица представляет собой плоское преобразование знаков поверхности колес.

При записи последовательность выбора строчек матрицы является случайной (в зависимости от печатаемого знака), а последовательность выбора столбцов - строго определенной.

Запись производится в паузах печатания в n тактов. В каждом такте информация записывается в одном столбце матрицы таким образом, что сердечник, соответствующий печатаемому на этом месте знаку, перемагничивается из первоначального состояния 0 в состояние 1. В конце процесса записи печатаемая по одной линии информация располагается в плоскости матрицы.

При печатании одной строчки колеса, связанные жестко друг с другом, совершают полный оборот. Считывание из матрицы производится по командам печатающего механизма. При полном обороте колес получаются m командных сигналов, под воздействием которых считывается информация с отдельных строчек матрицы. Там, где появляется сигнал 1, молоток печатающего механизма ударяет по бумажной ленте над соответствующим знаком колес.

1-10. 3 Промежуточные запоминающие устройства для хранения аналоговых кодов

При использовании многоканальных амплитудных анализаторов иногда требуется согласование по времени источника информации, представляющего коды в аналоговой форме

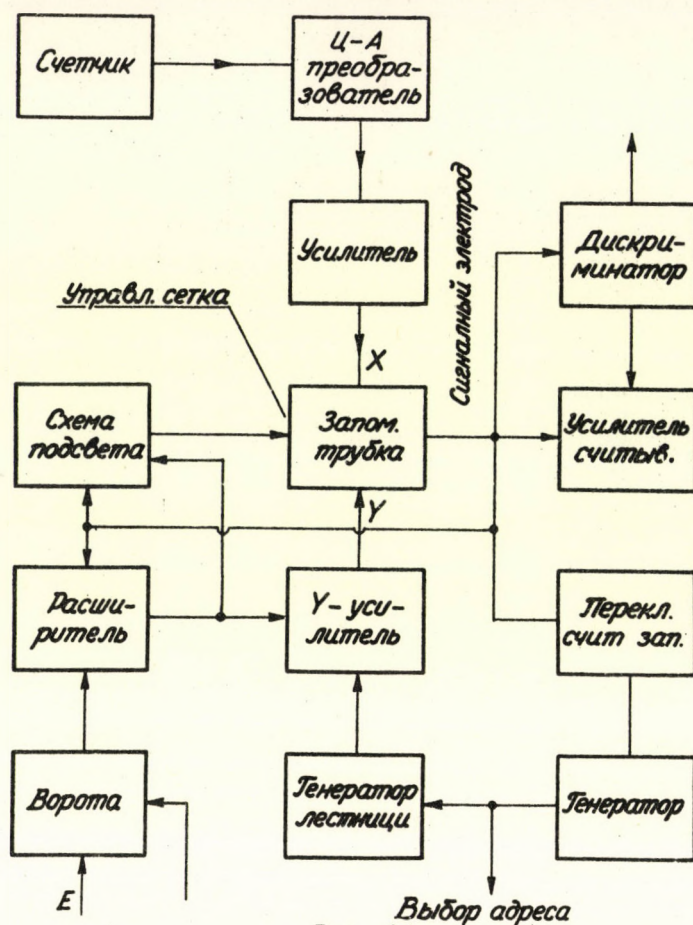


Рис. 14

(в данном случае амплитуды импульсов), и цифрового преобразователя анализатора. В таких случаях применяются аналоговые промежуточные запоминающие устройства (АПЗУ). В качестве накопителей информации (амплитуд) используются конденсаторы [A21], линии задержки [A4] и электронно-лучевые трубки. Ниже кратко рассматриваются некоторые из АПЗУ на электронно-лучевых трубках.

АПЗУ *Kandiah* [A4] разработано на основе специальной электростатической запоминающей трубки. Блок-схема АПЗУ показана на рис. 14.

Амплитуда импульса преобразуется в геометрическое расстояние вдоль координатной оси Y экрана. Адресное положение кодов (импульсов) на экране определяется пересчетной схемой и принадлежащим к ней цифро-аналоговым преобразователем. В отдельных положениях электронный луч отклоняется в направлении Y самим импульсом, но при этом луч на экране подсвечивается только в пике импульса. Перед записью импульса на экране, он растягивается для увеличения точности амплитуды.

Этап записи в АПЗУ отделен от этапа считывания. В начале этапа записи адресный счетчик находится в состоянии, соответствующем нулевой точке оси X . Запоминаемый импульс сначала поступает через ворота на расширитель, а оттуда - на отклоняющую систему запоминающей трубки. В крайнем положении включается на 0,5 мсек подсветка луча, и амплитуда записывается в виде заряженной точки на экране. Одновременно с выключением подсветки адресная пересчетная схема изменяет состояние на 1, и луч возвращается на ось X , во вторую адресную позицию. Запись следующего импульса производится таким же образом.

Во время записи схемы считывания блокируются. С окончанием этапа записи блокировка снимается при одновременном запираании схем записи, а счетчик адресной системы устанавливается на 0. В начале этапа считывания луч снова находится в первой адресной позиции, но на этот раз во включенном состоянии. На вход Y -усилителя поступает ступенчатое напряжение. Ступени формируются с частотой 4 мГц. Когда луч проходит через заряженную точку, снимается сигнал с выходного электрода трубки. Отклонение луча по оси X производится таким же образом, как и в случае записи.

Мертвое время системы равно 2 мксек. При использовании обыкновенных запоминающих трубок буферная емкость АПЗУ составляет 32 кода, а разрешающая способность по амплитуде - 1 %. При использовании специальной запоминающей трубки было получено 400 амплитудных каналов.

Систему можно использовать в качестве разравнивающего устройства многомерных анализаторов. Однако, в этом случае запись информации в каждый канал требует 2 мксек, следовательно, мертвое время увеличивается, и в то же время буферная емкость уменьшается.

В других системах [A22] луч остается открытым при записи, а информация записывается в виде заряженной линии. Считывание производится таким образом, что луч проходит по заряженной линии и на выходе трубки получается сигнал с длительностью, соответствующей амплитуде записанного импульса.

На рис. 15 показан принцип записи [A23], при котором луч отклоняется в горизонтальном направлении с помощью линейной развертки с длительностью, соответствующей времени этапа записи. В этих системах заряженные линии статистически распределены по оси X экрана и предыдущий метод считывания не подходит. Поэтому считывание производится с помощью растровой системы, но в этом случае на выходе устройства получают информацию в интегральном распределении.

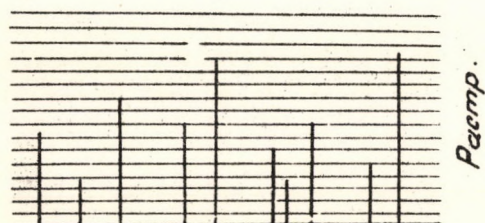


Рис. 15

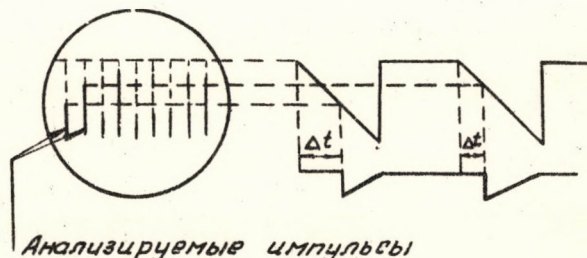


Рис. 16

На рис. 16 демонстрируется принцип записи и считывания АПЗУ Costrell'a и Brueckmann'a [A24]. Амплитуды импульсов запоминаются на экране в виде заряженных линий. Адресная система этого устройства подобна вышеописанной системе АПЗУ Kandiah. При считывании электронный луч, исходной позицией которого, в этом случае, является верхняя основная линия, перемещается по кодовым линиям. При переходе границ между незаряженными и заряженными участками линий с выходного электрода трубки снимается сигнал. Так как перемещение луча линейно во времени, то время появления выходного сигнала является мерой амплитуды. Время перемещения можно преобразовать с помощью известных методов в цифровой код для дальнейшей обработки.

1-10. 4 Особенности реализованных ПЗУ

Выше данное описание наглядно поясняет то, что в какой сильной степени отличаются друг от друга по своему конкретному построению отдельные ПЗУ.

Построение ПЗУ, а особенно, его логическая структура определяются, в первую очередь тем распределением, по которому поступают коды в вход ПЗУ.

Например, при работе в импульсном режиме, когда события могут осуществляться только в определенных отрезках времени, а в остальной части времени - нет, можно применять ПЗУ типа 2/а по классификации 1 - 9. Устройства, принадлежащие к этой группе ПЗУ, способны лишь для приема информации во время импульса, а считывание из блока памяти за это время невозможно (см. систему *Higinbotham's* и др. [A15]; *Evans's* и *Kirsten's* [A16]). Если пауза между соседними импульсами является достаточной для обработки кодов, максимально хранимых в блоке памяти, то входной регистр можно использовать в качестве выходного регистра (см. ПЗУ *Higinbotham's* [A15]). В таких случаях в качестве выходного регистра иногда используется сам блок памяти, имеющий специальное построение (см. систему *Evans's* и др. [A16]). Если пауза меньше времени τ_k , то использование самостоятельного выходного регистра необходимо. При наличии этого регистра передача информации из ПЗУ может продолжаться и во время импульсов без помех приема информации.

При рассмотрении реализованных систем также видно, что разделение этапа считывания от этапа приема информации, даже в импульсном режиме, не всегда осуществляется. Построение некоторых ПЗУ [A17, B4, B5], позволяет считывание информации из блока памяти и во время импульса при условии, что в данный момент код не поступает к входу ПЗУ, а медленная система свободна.

Естественно, что какое бы короткое время не требуется для передачи кода из блока памяти в выходной регистр, имеется некоторая вероятность того, что, за это время, код поступает к входу ПЗУ. Этот код будет теряться. Недостатком ПЗУ такого типа является добавочные входные потери информации, вызванные процессом считывания. С другой стороны, использование таких систем позволяет более экономичную эксплуатацию медленной системы и использование простых адресных схем [B5].

Если распределение событий является непрерывно статистическим, то разделение этапа приема информации от этапа ее считывания нецелесообразно. В этом случае применяются ПЗУ типа 2/б по классификации 1 - 9.

Отдельные ПЗУ обладают тем свойством что, в общем случае, коды выдаются из них в порядке, отличающемся от порядка поступления в ПЗУ [A14, B4, B5]. Пусть, например, три кода (1, 2, 3) поступают последовательно в незанятое ПЗУ таким образом, что за время их накопления не происходит считывания. Рассматривая работы этих систем, видим, что считывание кодов производится в последовательности 3, 2, 1, если считывание происходит без дальнейшей записи. ПЗУ такого типа можно использовать только в том случае, когда целью измерения является лишь набор некоторого числа статистических данных, однако, когда идентификация событий имеет основное значение для исследований, применение таких запоминающих устройств невозможно.

Из описания устройств видно, что в то время, как ПЗУ [A14, B4, B5] приспособлены лишь для выполнения задачи временного согласования, с помощью ПЗУ [A15, A16, A19] можно выполнить согласование и по времени и по разрядам.

Мертвое время ПЗУ возникает по другой причине, как в случае пересчетных схем. Мертвое время ПЗУ в основном определяется временем цикла записи в блоке памяти. Пусть для записи одного кода требуется время τ_z . За это время входные схемы ПЗУ должны быть заблокированными, чтобы случайное поступление нового кода не могло помешать входящему процессу записи. По этой причине мертвое время входных схем (τ_n) определено искусст-

венным образом так, чтобы было $\tau_n > \tau_3$. Методы, используемые для определения мертвого времени разнообразны.

По одному из этих методов применяется фазирующий тактовый генератор [В4, А17]. Периодом тактового генератора выбран τ_n при этом $\tau_n > \tau_3$. При этих системах информация может передаваться в блок памяти только в моментах поступления импульсов тактового генератора.

Другой возможностью является использование самоблскирующих входных схем.

1-11 Связь между характеристиками ПЗУ и внешними условиями

В связи с применением ПЗУ возникают следующие вопросы:

1. При каких условиях можно использовать данное ПЗУ?
2. Какой тип ПЗУ требуется для выполнения определенной задачи?

В обоих случаях надо выяснить взаимосвязь между внешними условиями и характеристиками (параметрами) ПЗУ. В литературе отсутствует единое обсуждение этих вопросов. Ниже дается попытка подвести итоги соображений, известных из литературы, и, по мере возможности, дополнить их.

Под внешними условиями подразумевается:

- а/ тип временного распределения событий,
- б/ среднее число событий в единице времени N_c ,
- в/ параметр τ_k (мертвое время) медленной системы.

Сопоставлением типичных функций распределений и разных систем ПЗУ (см. классификацию параграфа 1 - 9) получается четыре случая:

А. Распределение событий статистически непрерывно; этап накопления информации в ПЗУ разделен от этапа считывания. На практике эта возможность исключена потому, что разделение этапов работы можно осуществлять только с потерей значительной части информации.

Б. Применение системы ПЗУ типа 2/б (этап приема и считывания не разделены) в условиях, когда распределение событий статистически непрерывно. Запись кода может осуществляться в любой момент, в предположении, что в это время не происходит считывание, и того, что в блоке памяти имеется по крайней мере, один свободный регистр. Считывание производится в моменты, определенные периодом τ_k , в предположении, что в эти моменты запись не происходит и что, по крайней мере, один код записан в блок памяти. Во время считывания блокируется вход информации, а во время записи - схемы считывания. Блокировка входных схем при считывании вызывает потерю информации, которую надо учитывать.

В. Применение системы ПЗУ типа 2/а в условиях, когда распределение событий статистическое, но ограничено отрезком времени (импульсный режим). События, происходящие за время импульса, регистрируются с помощью ПЗУ в соответствии с возможностями его буферной емкости. Считывание производится в паузах между импульсами.

Г. Применение ПЗУ типа 2/б в импульсном режиме. Коды событий регистрируются во время импульсов, а считывание может происходить как во время импульсов, так и в паузах. Во время импульсов взаимоотношение операций записи и считывания такое же, как и в случае В.

Этим случаям соответствуют типичные полические структуры, замена которых взаимно невозможна.

Связь между величиной пропускной способности и внешними условиями можно определить простым образом. ПЗУ должно обладать пропускной способностью, позволяющей оптимальную эксплуатацию медленной системы. Так как медленная система требует время τ_k для приема одного кода, максимальное число обрабатываемых с помощью медленной системы кодов равно $N_M = 1/\tau_k$. Согласно этому ПЗУ должно быть приспособлено для пропускания, по крайней мере, N_M кодов в единицу времени. Если ПЗУ обладает меньшей пропускной способностью, оптимальная эксплуатация медленной системы в принципе невозможна. С другой стороны, если пропускная способность ПЗУ удовлетворительна, то максимальное число кодов обрабатываемых с помощью комплексной системы, также равно N_M . Если число кодов N_C будет больше этого, избыток $(N_C - N_M)$ теряется.

При предположении, что условие $N_C = N_M$ удовлетворяется, и, что ПЗУ дает идеальное согласование, потери информации не будут. Согласование является идеальным, если система обработки информации и в случае статистического распределения оказывается такой же, как и в периодическом режиме. Другими словами, при условиях идеального согласования, в пределах $0 < N_C \leq N_M$ мертвое время системы обработки будет равно нулю.

Идеальное согласование с помощью ПЗУ можно было бы получить только в том случае, если бы мертвое время входных схем τ_n равнялось нулю, а величина буферной емкости k равнялась бесконечности. Конечно, в действительности ни одно из них не осуществимо. Входные схемы имеют определенное мертвое время, которое приводит к потерям информации таким же образом, как и в случае пересчетных схем. Потери информации получают и вследствие того, что ПЗУ обладает лишь ограниченной буферной емкостью. В случаях, когда число кодов, поступающих на вход ПЗУ в этапе накопления, превышает число свободных запоминающих регистров, часть кодов теряется.

Учитывая сумму потерь информации, связанных с этими факторами, можно получить эквивалентное мертвое время τ_Σ , относительно ко входу ПЗУ. При правильном способе применения ПЗУ будет $\tau_\Sigma \ll \tau_k$. В результате, при хорошем временном согласовании получается "трансформация" мертвого времени. Естественно, в идеальном случае $\tau_\Sigma = 0$.

Между внешними условиями и величиной мертвого времени входных схем (τ_n) можно найти связь при условии фиксированного допустимого значения потерь информации. Таким же образом определяется связь между внешними условиями и показателем буферной емкости k .

При обсуждении вопросов, связанных с мертвым временем входных схем ПЗУ, надо учесть методы, известные из области пересчетных схем [A25, A26]. Если статистическое распределение событий является непрерывным, соотношение между действительным числом событий и числом регистрируемых событий при непродливающемся мертвом времени входных схем ПЗУ будет:

$$N_C = N_p + N_p N_C \tau_n \quad /1.1/$$

и

$$N_C = \frac{N_p}{1 - N_p \tau_n} \quad /1.2/$$

где N_C - число действительных событий в единицу времени,
 N_p - число зарегистрированных событий в единицу времени, а
 τ_n - мертвое время входных схем ПЗУ.

На основании /1.2/ относительные потери составляют

$$\Pi = \frac{N_c - N_p}{N_c} = N_p \tau_n \quad /1.3/$$

Исходя из допустимых потерь (Π_∂) получают мертвое время ПЗУ равным

$$\tau_n = \frac{\Pi_\partial}{N_p} \quad /1.4/$$

Принимая во внимание максимальное допустимое значение $N_{p \max} = N_m = 1/\tau_k$ получим, что

$$\tau_n = \Pi_\partial \tau_k \quad /1.5/$$

В том случае, когда события появляются лишь за время поступления импульсов и длительность импульса равна T_u а период поступления импульсов равен T тогда выражение /1.1/ принимает форму:

$$N_c = N_p + N_p N_u \tau_n \quad /1.6/$$

где

$$N_u = N_c \frac{T}{T_u} \quad /1.7/$$

является числом событий в единицу времени внутри импульса. Относительные потери в этом случае равны

$$\Pi = (T/T_u) N_p \tau_n \quad /1.8/$$

а из этого выражения получают, что

$$\tau_n = \frac{T_u}{T} \Pi_\partial \tau_k \quad /1.9/$$

Если система входных схем такова, что необходимо учитывать продливающееся мертвое время, то расчет мертвого времени производится следующим образом: вероятность того, что код не будет потерян, равна вероятности того, что за время τ_n импульс не появится. В случае распределения Пуассона значение этой вероятности равно

$$N_0 = e^{-N_c \tau_n} \quad /1.10/$$

Отсюда число зарегистрированных кодов составляет

$$N_p = N_c e^{-N_c \tau_n} \quad /1.11/$$

и относительные потери будут

$$\Pi = \frac{N_c - N_p}{N_c} = 1 - e^{-N_c \tau_n} \quad /1.12/$$

а в импульсном режиме

$$\Pi = 1 - e^{-N_u \tau_n} \quad /1.13/$$

Если допускаются малые потери (следовательно $N_c \tau_n \ll 1$), формула /1.12/ приводит к тому же самому результату, как формула /1.3/.

Как упоминалось выше с однорегистровыми ПЗУ временное согласование невозможно и их мертвое время равно τ_k .

В связи с оценкой величины буферной емкости возникает вопрос связи между величиной буферной емкости, потерями вследствие статистических флуктуаций и коэффициентом экономической эксплуатации медленной системы при данных внешних условиях.

Расчет, соответствующий случаю В, описан в литературе [А27]. Хотя он был выполнен для разравнивающего устройства пересчетной схемы, результаты этой работы можно непосредственно использовать и в случае ПЗУ типа 2/6.

Автор работы (Bell) рассматривает два разных случая. В первом из них $N_c \tau_k \ll 1$. Этот случай можно опустить, поскольку при этом эксплуатация медленной системы неэкономична. Обсуждение результатов при больших значениях $N_c \tau_k$ приводится ниже.

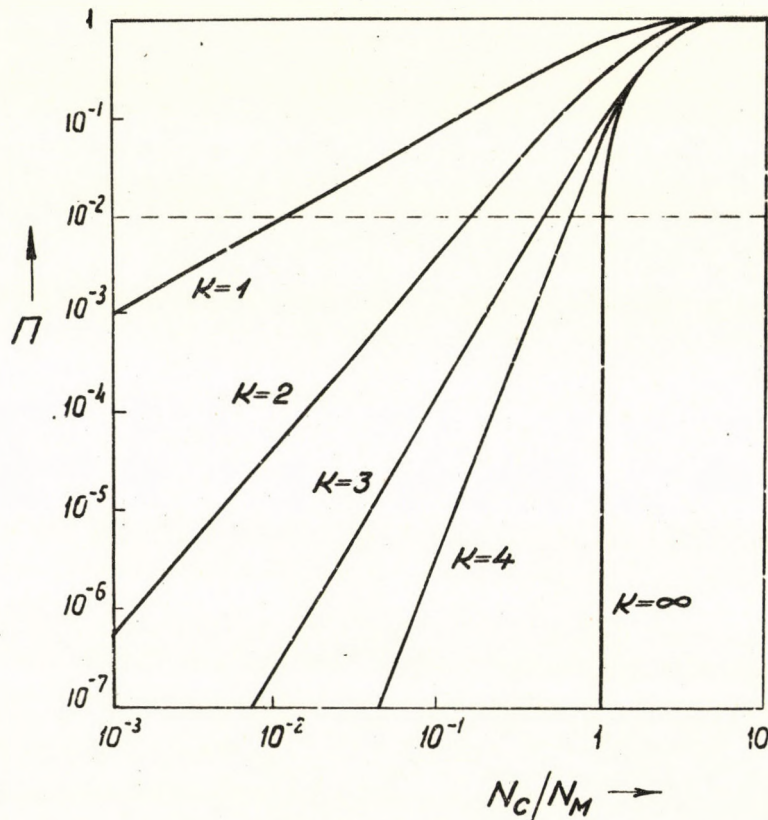


Рис. 17

Относительное число потерянных кодов в случае k запоминающих регистров будет

$$P_k = 1 - (1 - p_0) \frac{1}{N_C \tau_k} \quad /1.14/$$

где $p_0 = f(k, N_C \tau_k)$ является вероятностью того, что по окончании времени τ_k ни в одном из запоминающих регистров информации не имеется. Автор дает расчет p_0 , который достаточно сложен при больших значениях k .

Результаты расчетов подытоживаются в виде кривых, показанных на рис. 17. Кривые дают относительную потерю кодов в зависимости от (N_C/N_M) и k . Величина (N_C/N_M)

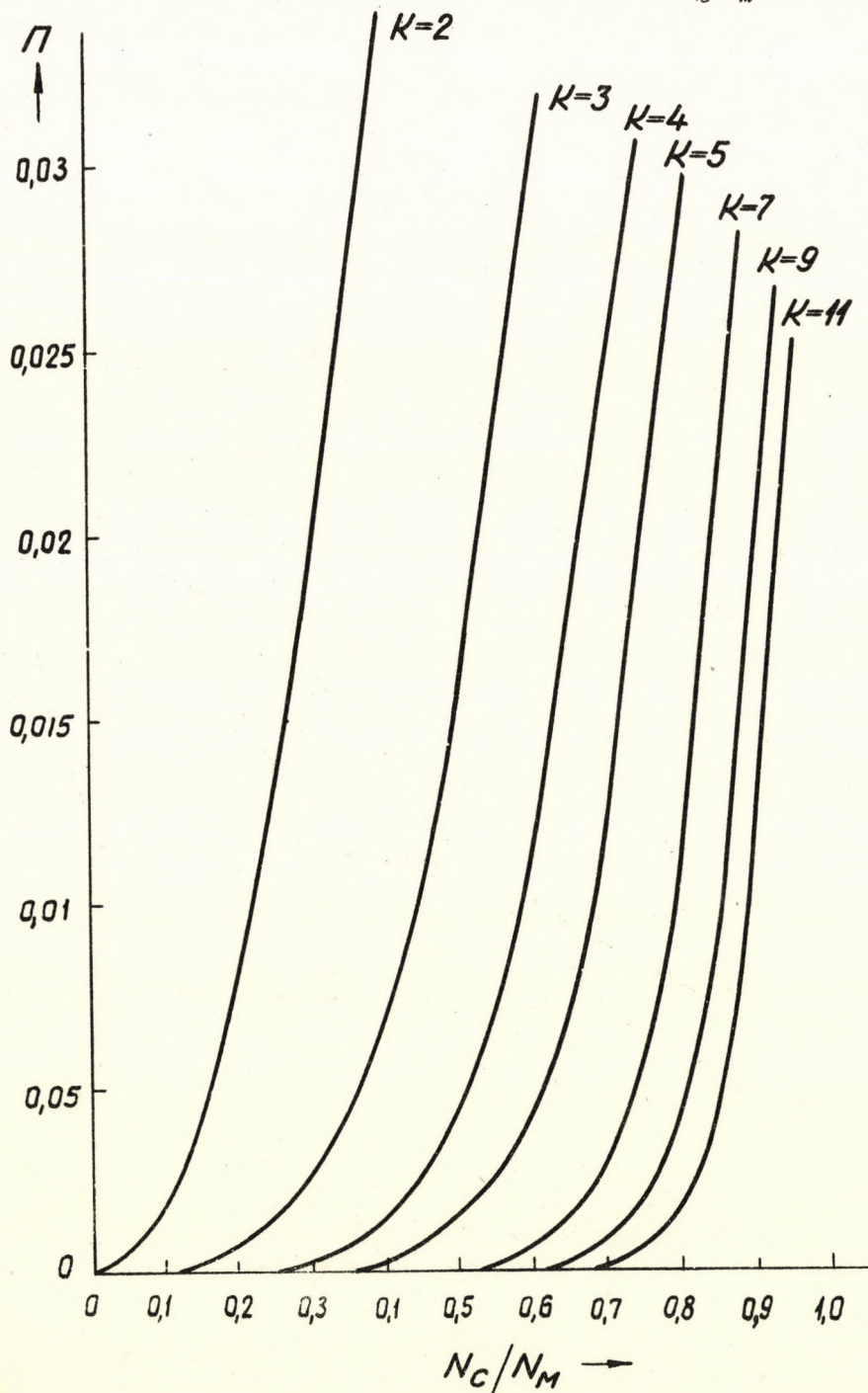


Рис. 18

является коэффициентом эксплуатации медленной системы. Кривые наглядно показывают, как улучшается значение коэффициента эксплуатации с увеличением k при фиксированной величине потерь.

Например, при фиксированном значении потерь 0,01 коэффициент эксплуатации увеличивается от 0,01 до 0,37 с применением 3-х запоминающих регистров. В то же время число регистрируемых в единице времени событий увеличивается на 36.

На рис. 18 показаны подобные кривые из работ *Alexander'a* и *Leng'a*. К сожалению, в работе [A14] не приводятся методов расчета этих кривых. Хотя само ПЗУ использовалось в импульсном режиме, значения, определенные из кривых, показывают достаточно хорошее согласование с кривыми *Bell'a*. На рис. 19 приведены те же самые результаты в условиях, когда параметром является Π .

Общим вопросам применения ПЗУ в импульсном режиме посвящены сообщения [B8-B11], которые в общем совпадают, и поэтому здесь целесообразно ограничиться только из-

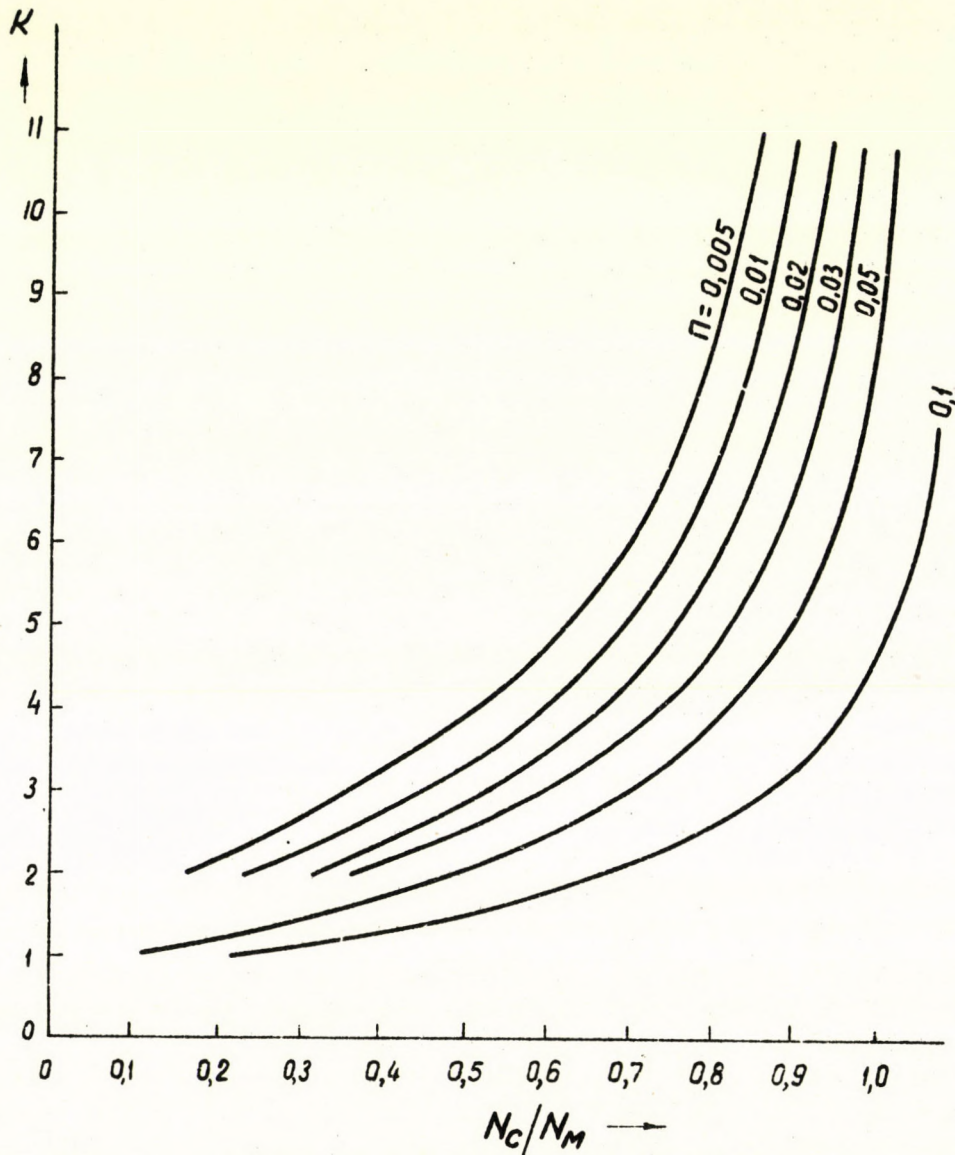


Рис. 19

ложением сущности работы [В10]. В статье обсуждается вариант В. Задача в этом случае, заключается в том, чтобы определить соотношение между числом запоминающих регистров, потерями информации и коэффициентом эксплуатации при условиях, когда в течение импульса T_u происходит в среднем m событий. При обсуждении предполагается, что $m > 1$. Потери информации имеются в тех циклах работы, когда сумма числа кодов, оставшихся от предыдущих циклов в блоке памяти, и числа событий, происшедших в данном цикле работы, превышает число запоминающих регистров (κ) на некоторое число j . В предположении, что в паузах обеспечивается оптимальная эксплуатация медленной системы, число считываемых кодов будет:

$$S = \frac{T - T_u}{\tau_{\kappa}} = (T - T_u) N_m \quad /1.15/$$

Можно показать, что число потерянных кодов равно

$$\Pi = \frac{1}{m} \sum_{j=1}^{\infty} j \sum_{n=0}^{\kappa-j} P_n N_{\kappa+j-n} \quad /1.16/$$

В этом выражении P_n является вероятностью того; что по окончании предыдущего цикла в блоке памяти останется n кодов, $N_{\kappa+j-n}$ - вероятностью того, что за время импульса наступит $m = \kappa+j-n$ событий, а j - числом кодов, потерянных в одном цикле работы.

Возможность $S < m$ исключается из соображений, так как в этом случае блок памяти заполняется и пропадают разравнивающие свойства ПЗУ.

В случае, когда $S \geq \kappa$ по окончании цикла кодов не остаются, выражение /1.16/ упрощается и будет

$$\Pi = \frac{1}{m} \sum_{j=1}^{\infty} j N_{\kappa+j}$$

Хотя в этом случае соотношение является более простым, но при условия $S \gg \kappa$ получается неудовлетворительная величина коэффициента эксплуатации медленной системы.

Оказывается, что при больших значениях κ вычисление величины P_n затруднено, поэтому при определении количественных соотношений авторы пользовались методом Монте-Карло. В результате были получены кривые, показанные на рис. 20, которые наглядно показывают на связь между величинами m , κ , S и Π .

Значения коэффициента эксплуатации в литературе выделено недостаточно. Общим мнением является то, что применение 4 - 10 запоминающих регистров в большинстве случаев удовлетворительно. Однако из кривых *Bell'a*, *Alexander'a* и *Забиянина* и др. оказывается, что это утверждение может быть действительно только в случаях, когда не стремятся к достижению оптимального значения коэффициента эксплуатации и когда статистическое распределение событий непрерывно, а $m \leq 1$.

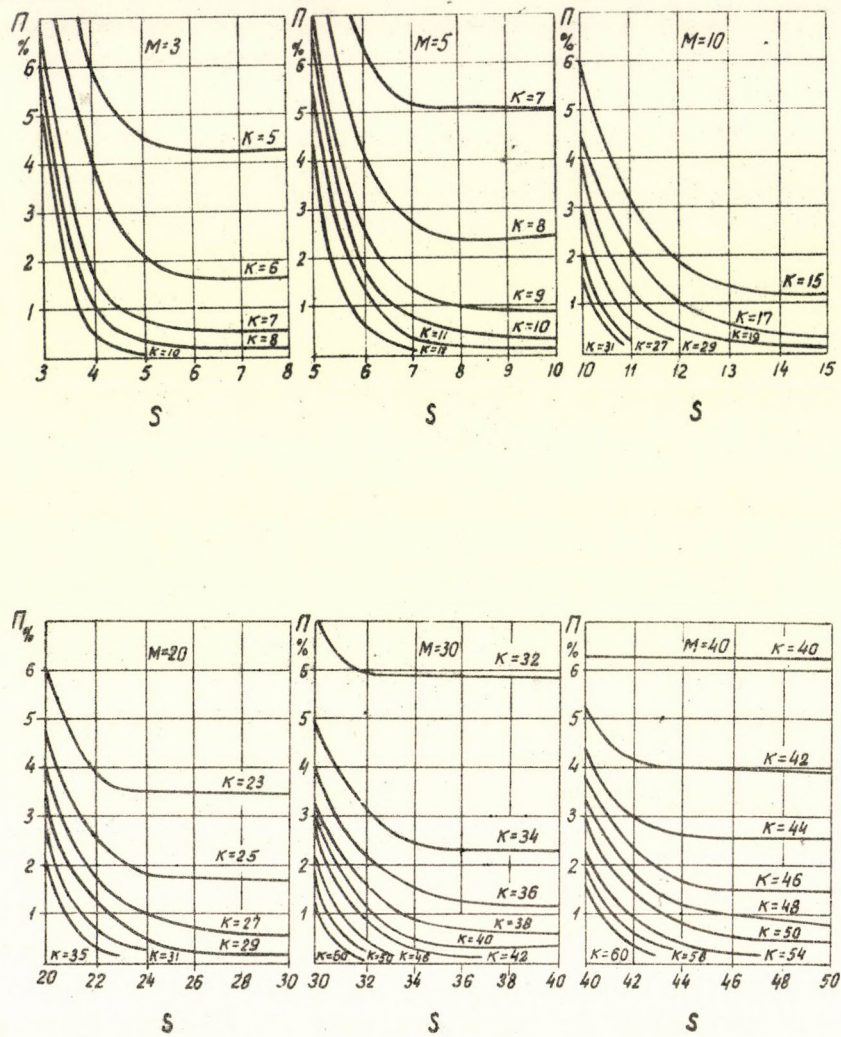


Рис. 20

1-12 Некоторые технические вопросы построения ПЗУ

Техническое построение ПЗУ определяется, главным образом, тремя факторами: требованиями, относящимися к быстродействию ПЗУ, экономическими точками зрения и, требованиями, связанными с вопросом надежности.

Вопросы экономики схем и их надежности на этом месте не затрагиваются, так как, с одной стороны, изложение этих вопросов выходит за рамку настоящей работы, а с другой стороны, их подробное обсуждение можно найти в литературе.

На основании подобных соображений, так же не дается подробное описание отдельных схем.

Выбор отдельных схем и их элементов, в первую очередь, определяется требованиями, относящимися к скорости ПЗУ. С точки зрения скорости, ПЗУ можно разбить на две группы. К первой группе принадлежат ПЗУ, имеющие мертвое время 1 мксек или больше этого, а к другой - ПЗУ, обладающие мертвым временем меньше 1 мксек. В настоящее время,

ПЗУ более медленного типа используются, в большинстве случаев, для согласования групп детекторов измерительной системы с магнитофоном или перфоратором [A13, A15, A16], а быстродействующие ПЗУ - для согласования аналого-цифровых преобразователей с временным анализатором [B5, B7].

Блок памяти ПЗУ более медленного типа в общем случае, построен на ферритовых кольцах. Хотя, скорость ПЗУ, обладающих памятью на ферритах, в настоящее время отстает от 1-ой мксек, однако, на основании опытов вычислительной техники известно, что этот предел можно достигнуть применением ферритов.

Запоминающим элементом быстродействующих ПЗУ является туннельный диод [B5, B7] или магнитная пленка [A28].

Исходя из экономических соображений некоторые авторы [A17, A18] предлагают и для ПЗУ медленного типа, применение запоминающих элементов, отличающихся от ферритов. Однако, преимущество таких решений может оказаться только в том случае, если буферная емкость ПЗУ небольшая. Например, в ПЗУ *Amrama* [A18] в качестве запоминающего элемента используется конденсатор, а в ПЗУ *Boucherie* - триггер на дополнительных транзисторах.

Остальные схемы ПЗУ, обслуживающие блок памяти, обладают скоростью, соответствующей элементам блока памяти, а скорость выходных схем определяется согласно требованиям медленной системы.

Активными элементами разных регистров, (входных, выходных, адресных и т.д.) логических схем, формирователей являются транзисторы или туннельные диоды. Для выполнения логических функций используются полупроводниковые диоды, ферритовые сердечники и т.д.

1-13 К о н т р о л ь ПЗУ

Вопросы контроля ПЗУ в литературе едва за- ону.н.

В статье *Leroy'a* и *Jouin'era* [A29] дано описание запоминающего устройства, примененного в области вычислительной техники. Для проверки этого устройства используется два метода.

Первый из них является методом разомкнутой контрольной цепи. При этом проверка ЗУ происходит таким образом, что заданные коды записываются в блоке памяти в определенной последовательности, а затем эти коды считываются из блока памяти под контролем.

Вторым - является метод замкнутой контрольной цепи. При этом, заданный код записывается и считывается циклически по выбранному адресу. Если в каком-то цикле проверки считываемая информация отличается от предыдущей, то от системы проверки поступает сигнал.

Система проверки ПЗУ *Барилко* и др. [B5] работает по принципу разомкнутой контрольной цепи.

В статье *Collinge* и *Marciano* [A12] описана система проверки на четность, однако она служит контролю перфоратора, а не ПЗУ.

В работе *Г.А. Мирнова* [B11] дается подробное описание вопросов контроля вычислительных машин, и в связи с этим, и описание методики проверки запоминающих устройств. Принципы, разработанные там, можно применять в упрощенном виде, и в случае ПЗУ.

* * * *

Заканчивая обзорную часть следует упомянуть некоторые работы, имеющие связь с нашей темой [A30, B12], и описания автоматизированных ядерных измерительных систем в которых нашло применение ПЗУ [A31, A32].

2. ИСХОДНЫЕ СООБРАЖЕНИЯ ДЛЯ ПРОЕКТИРОВАНИЯ ПЗУ, СЛУЖАЩЕГО ПРЕДМЕТОМ НАСТОЯЩЕЙ РАБОТЫ

2-1 Краткое описание измерительной системы физического эксперимента

Основой измерительной системы физического эксперимента является искровая камера с цилиндрическими электродами. Камере принадлежат сцинтилляционные детекторы для идентификации событий, происходящих в пространстве камеры. Сигналы сцинтилляционных счетчиков поступают в блок отбора, состоящий из схем совпадений-антисовпадений, который выполняет селекцию событий, таким образом, что некоторая часть информации, нежелательная с точки зрения исследований, будет исключена.

В данном случае, ПЗУ требуется для согласования детекторов и блока отбора с медленной системой (перфоратором). Основная информация о событиях получается с помощью фотоснимков, а система отбора служит для идентификации событий. Таким образом полная информация измерения не проходит через ПЗУ.

В каждом случае, когда в камере осуществляется ожидаемое событие один, так называемый, "импульс события" поступает с блока отбора во вход управления ПЗУ.

Сцинтилляционные детекторы дают сигналы "да" или "нет". Таким образом, информация получается в виде параллельных кодов на выходе измерительной системы, и с поступлением импульса события эти коды передаются в ПЗУ неизменно.

Задачей искровой камеры является испытание ядерных реакций, вызванных с помощью синхроциклотрона. Измерения, таким образом, производятся в импульсном режиме.

2-2 Вопросы, связанные с логической структурой, мертвым временем и буферной емкостью ПЗУ

Логическая структура ПЗУ была создана соответственно временной диаграмме ускорителя и параметрам перфоратора. При этом была принята во внимание и возможность использования ПЗУ в более широком круге.

Временная диаграмма ускорителя показана на рис. 21. "Импульсы управления синхроциклотроном" представляют собой импульсы под воздействием которых ускоритель срабатывает. Время периода ускорителя $T_{cp} = 10$ мсек. Время посылки частиц $T_y = 0,6$ мсек. События могут осуществляться только за время T_y . На рис. 21 приведены некоторые импульсы, отличающиеся блоком отбора. Эти импульсы являются идентичными "импульсами события". Они используются для управления процессом записи информации в ПЗУ.

Перфоратор, предназначенный для приема информации от ПЗУ обладает небольшой скоростью. Он приспособлен для обработки 20-и групп (четыре-разрядных двоичных) в секунду (80 двоичных единиц/сек).

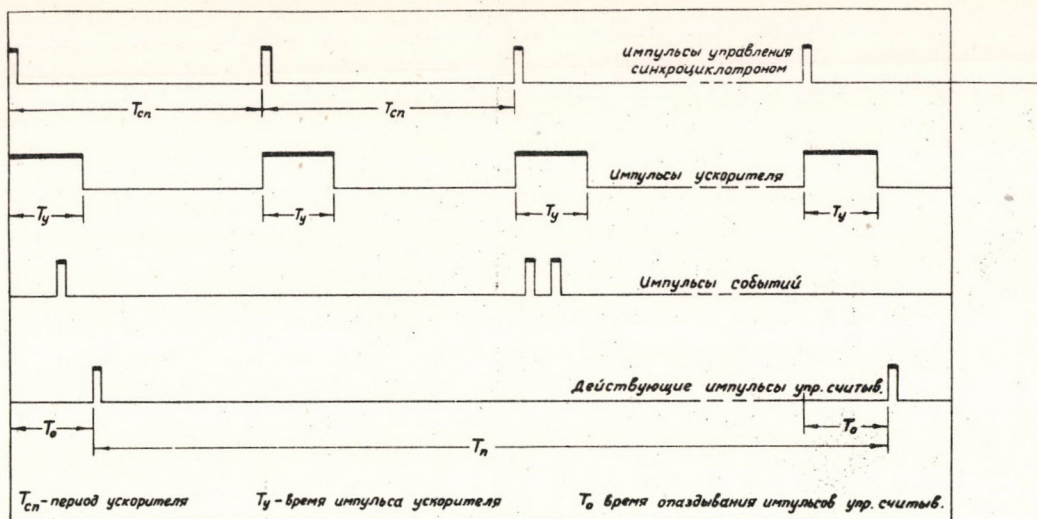


Рис. 21

В данных обстоятельствах процесс считывания информации целесообразно произвести во время паузы ускорителя, а для управления процессом - использовать импульсы управления синхротроном, задержанные временем $T_o > T_y$.

Чем больше детекторов применяется в годоскопической системе искровой камеры тем успешнее можно отделить ожидаемые события от неожиданных. Имея в виду это обстоятельство, числом разрядов было выбрано 48. Так как

$$\tau_k = \frac{\text{число разрядов параллельного кода}}{\text{число дорожек перфатора}} \left[\begin{array}{c} \text{разрешающее} \\ \text{время перфо-} \\ \text{ратора} \end{array} \right]$$

будет

$$\tau_k = 0,6 \text{ сек.}, \quad \text{а из этого} \quad N_m = \frac{1}{\tau_k} = \frac{1}{0,6} / \text{сек.}$$

Сравнивая обозначения параграфа 1 - 11 с обозначением рис. 21, можно видеть, что $T_u = T_y$, а $T = T_{сн}$. При предположении, что входные схемы обладают непродливающимся мертвым временем, а значение потери составляет $\Pi_0 = 0,01$ на основании отношения $1,9/$ получаем требуемое значение мертвого времени ПЗУ:

$$\tau_n = \frac{T_y}{T_{сн}} \Pi_0 \tau_k = 0,36 \cdot 10^{-3} \text{ сек.}$$

Из кривых рис. 18, при допущении $N_c/N_m = 0,9$ и $\Pi = 0,01$, числом требуемых запоминающих регистров будет $k \approx 12$.

2-3 Выбор блока памяти

При выборе блока памяти, служащего основной частью ПЗУ было учтено то, что в обстоятельствах физической лаборатории построение блока памяти какой бы малой емкости он не был, затруднительно. По этой причине был выбран блок памяти промышленного типа.

Однако, оказалось, что учитываемые блоки во время проектирования ПЗУ, обладают слишком большой емкостью по сравнению с требуемой. Остались две возможности. Первой возможностью явилось использование лишь части регистров блока, а второй - эксплуатация полной емкости блока, но при этом надо обдумать и расширение области применения ПЗУ.

Технические решения схем, соответствующих этим возможностям отличаются друг от друга, в основном, только в построении адресных устройств. Расчеты показали, что в случае использования многомерных адресных схем, совокупность всех устройств ПЗУ при полной эксплуатации данного блока памяти не увеличивается в значительной мере. По этой причине пользовались второй возможностью.

Блоком памяти была выбрана запоминающая кассета вычислительной машины типа М-20. Она построена на ферритовых сердечниках. Система выбора кассеты линейная с постоянным током смещения. Число запоминающих регистров равно 130, а число разрядов одного регистра равно 48. Каждому из запоминающих регистров принадлежит один координатный трансформатор, а каждому из разрядов регистра - два запоминающих сердечника. Ряд описания подобных систем можно найти в литературе [А33, А34, В13]. Полный запоминающий цикл кассеты составляет 8 мсек.

В связи с проектированием адресной системы блока памяти надо было иметь в виду то обстоятельство, что система обработки информации, в которой данное ПЗУ употребляется, служит для идентификации событий. Поэтому коды передаются из ПЗУ в медленную систему в той же самой последовательности в какой они поступили.

Применение запоминающей кассеты типа М-20 приводит к ПЗУ, обладающему характеристиками, перевыполняющими требования, вытекающие из условий данного эксперимента.

2-4 Некоторые дальнейшие возможности использования ПЗУ, допустимые на основании характеристик блока памяти выбранного типа

Время запоминающего цикла (записи или считывания) блока памяти, как уже было сказано, составляет 8 мсек. Исходя из этого, мертвым временем ПЗУ было определено $\tau_n = 10$ мсек. На основании характеристик перфоратора в параграфе 2-2 получилось $\tau_n = 360$ мсек. Как видно, с точки зрения мертвого времени ПЗУ обладает большим запасом скорости. Таким образом, применение при необходимости быстродействующего магнитофона не встречает трудностей. Имея в виду значения $\Pi_\partial = 0,01$; $T_y = 0,6 \cdot 10^{-3}$ сек; $T_{cn} = 10 \cdot 10^{-3}$ сек и $\tau_n = 10 \cdot 10^{-3}$ сек на основании (1.9) получают:

$$\tau_{к мин} = \frac{T_{cn} \tau_n}{T_y \Pi_\partial} = 16,7 \cdot 10^{-3} \text{ сек}$$

и

$$N_{м макс} = \frac{1}{\tau_{к мин}} = 60 \text{ кодов/сек,}$$

Значит, скорость обработки информации можно увеличивать на 36. Если остальные внешние условия не изменяются, то число запоминающих регистров не надо увеличивать и оно остается, попрежнему, около 12-и (см. кривые рис. 18).

Соотношение между временной программой источника частиц и характеристиками медленного устройства может изменяться таким образом, что число событий, зарегистрированных за время T_u больше 1. В этом случае требуемое число запоминающих регистров увеличивается, и его значение можно получить из кривых рис. 20. Запас накопительной емкости позволяет использование ПЗУ и при таких условиях.

Во время проектирования возникла потребность использования данного ПЗУ при измерительной системе, содержащей около 200 детекторов, работающих в режиме "да - нет". Ограничивая число детекторов до 192 получают параллельные коды информации, имеющие 192 разряда. В этом случае между источником информации и ПЗУ требуется согласование по разрядам. Параллельный код поступает на регистр согласующего блока, а затем оттуда передается во вход ПЗУ в четыре последовательные группы. Естественно, что в этих обстоятельствах мертвое время ПЗУ системы увеличивается на 4. Также увеличивается требуемая величина буферной емкости на 4.

На основании предварительных расчетов и литературы [А32] выяснилось что сравнительно большая емкость ПЗУ позволяет его использование в системах, предназначенных для обработки информации искровых (или других) камер с помощью телевизионных трубок (напр. видиконов).

2-5 И т о г и с х о д н ы х д а н н ы х ПЗУ

Для обозрения является полезным подытожить данные, служившие основанием проектирования ПЗУ.

Данные ускорителя:

Время периода: $T_{сп} = 10 \cdot 10^{-8}$ сек

Время импульса: $T_y = 0,6 \cdot 10^{-8}$ сек

Данные перфоратора:

Скорость: 20 строк/сек

Число дорожек: 5

Данные выбранного блока памяти:

Время цикла записи (или считывания): 8 мксек

Емкость накопления: 130 кодов

Число разрядов: 48

Параметры, выбранные и полученные на основании вышеописанных данных:

Мертвое время входных схем ПЗУ: 10 мксек,

Разрешающее время перфоратора относительно одного кода: $\tau_k = (1/0,6)$ сек,

Буферная емкость: 120 кодов

(Примечание: Величина буферной емкости ПЗУ ($120 < 130$) выбрана на основании соображений, относящихся к адресной системе (см. в параграфе 3-3.2)

Последовательность адресов при записи и при считывании та же самая.

3 ОПИСАНИЕ РЕАЛИЗОВАННОГО ПЗУ

3-1 Выбор системы

На основании внешних условий было реализовано ПЗУ типа 2/а по классификации параграфа 1-9. Другими словами, за время каждого импульса ускорителя, ПЗУ готов для приема информации, а считывание из блока памяти происходит в паузе ускорителя. Так как $\tau_k \gg T_{сп}$, то такой способ работы можно осуществлять только применением выходного регистра, роль которого, с одной стороны, сохранять считываемый код за время τ_k , а, с другой стороны, выполнять задачу согласования по разрядам ($48 \rightarrow 12 \times 4$). Соответственно этому ПЗУ состоит из быстродействующей и медленной частей. Наличие быстродействующей части позволяет прием информации в течение импульсов ускорителя независимо от того происходит ли передача информации из ПЗУ в медленную систему или нет. А присутствие медленной части дает возможность передачи информации из ПЗУ в медленную систему непрерывно (значит во время импульса ускорителя тоже).

3-2 Блок-схема ПЗУ

Блок-схема запоминающего устройства показана на рис. 22. Основным элементом быстрой части является блок памяти с 120 запоминающими регистрами (48-разрядными).

48-разрядные коды информации, пройдя через систему ворот совпадений, сначала запоминаются регистром записи и потом оттуда передаются в выбранные запоминающие регистры блока памяти.

Время цикла записи и считывания (из блока памяти), как уже было сказано, равно 8 мксек.

"Импульс события" используется в качестве импульса управления записью. Если в блоке памяти имеется, по крайней мере, один свободный регистр, импульс события поступает на вход блока "10 мксек-триггер", но в том случае, если в блоке памяти нет ни одного свободного регистра, схема ворот L_1 (схема антисовпадений) загоразивает путь этим импульсам. Это состояние остается до тех пор, пока в процессе считывания не освобождается хотя бы один из запоминающих регистров.

Схема "10 мксек-триггер", в общем случае, запирает "систему ворот совпадений". После приема одного импульса события эта схема дает отпирающий импульс для "системы ворот совпадений". В открытом состоянии этой системы код информации передается в регистр записи и здесь сохраняется. Одновременно "система выбора" получает импульс управления и, вследствие этого будет выбран один запоминающий регистр блока памяти, а потом из регистра записи передается код информации в выбранный запоминающий регистр.

Схема "10 мксек-триггер" характеризуется тем, что после приема одного импульса события она блокируется для других на время 10 мксек. Таким образом будет исключена возможность нарушения идущего процесса записи.

Считывание информации из блока памяти осуществляется под действием импульса управления считыванием. Во время цикла считывания информация запоминающего регистра, выбранного адресной системой считывания через усилители проходит в регистр считывания, который является главным блоком медленной части устройства.

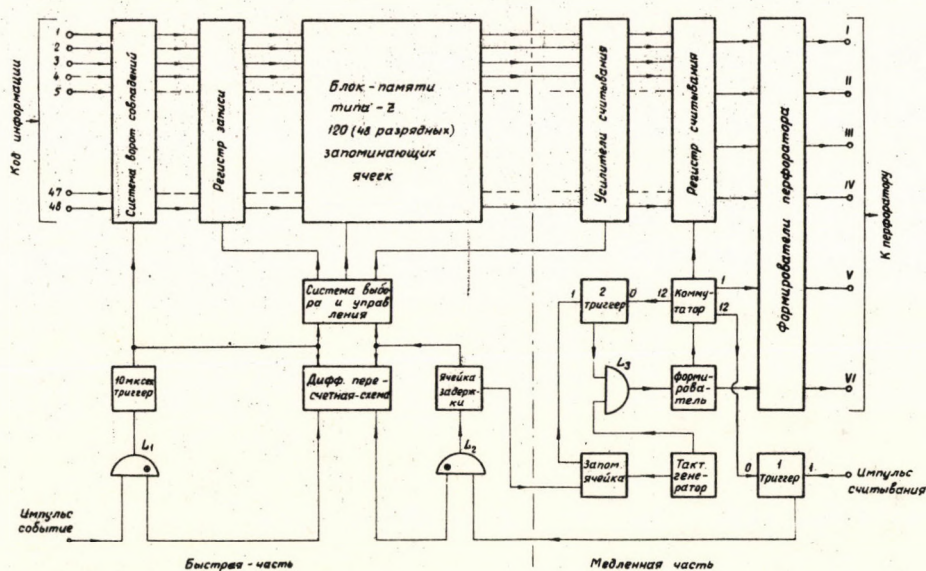


Рис. 22

В качестве сигнала, управляющего считыванием используется импульс, совпадающий во времени с фронтом импульса ускорителя (см. рис. 21). Этот импульс проходит через "триггер-1", ворота L_2 и "блок задержки" и поступает к блоку "система выбора" с запаздыванием (T_0), большим времени импульса ускорителя. Таким образом, процесс считывания может осуществляться только в паузах ускорителя.

Импульс управления считыванием может действовать на запоминающее устройство только в тех случаях, когда 1/ можно найти информацию по крайней мере в одном запоминающем регистре и когда 2/ медленная часть свободна для приема информации.

О выполнении первого условия будет свидетельствовать состояние ворот L_2 : они открыты, если информация находится в блоке памяти, но закрыты, если блок пуст.

Свободное состояние медленной части обозначено состоянием 0 блока "триггера-1".

Устройство обладает двумя независимыми друг от друга адресными системами. Одна из них служит для определения последовательности адресов записи, а другая - для определения порядка адресов считывания. Последовательность является той же самой у обеих систем. Вследствие того, что процесс считывания может осуществляться только в том случае, если по крайней мере в одном запоминающем регистре находится информация, адресная система считывания может следовать и догонять, но не может опережать адресную систему записи. Заполнение устройства, т.е. число занятых информацией запоминающих регистров, регистрируется с помощью дифференциальной пересчетной схемы. Эта схема считает разность числа импульсов, управляющих записью и считыванием. Если эта разность равна нулю, то это показывает, что блок памяти пуст. В этом случае ворота L_2 будут

закрываются. С другой стороны, если разность равна 120, это является свидетельством того, что все запоминающие регистры заняты информацией. В этом случае дифференциальная пересчетная схема запирает ворота L_1 , не допуская осуществления дальнейших процессов записи.

Что касается медленной части устройства, то она состоит из регистра считывания, о котором уже шла речь, из коммутатора тока и его формирователя, из тактового генератора, работающего в режиме свободных колебаний и из вспомогательных схем, выполняющих логические функции.

Задачей медленной части устройства является передача информации, находящейся в регистре считывания в перфоратор с такой скоростью, которая удовлетворяет требованиям перфоратора. Информация поступает в регистр считывания в виде 48-разрядного параллельного кода, но так как перфоратор имеет лишь 4 дорожки, она передается в перфоратор в 12 тактов.

Медленная часть устройства управляется также импульсом считывания. Этот сигнал не имеет временной корреляции с импульсами тактового генератора. Чтобы избежать проблем, которые могут возникать в связи с этим обстоятельством, временная корреляция между сигналами осуществляется в самом устройстве. С этой целью импульс управления сначала поступает на запоминающую ячейку. Оттуда импульс может приходиться ко входу-1 блока "триггер-2" только одновременно со следующим импульсом тактового генератора. В этот момент триггер-2 перебрасывается и отпирает ворота L_2 (схема И). Этим отпирается путь для тактовых импульсов к формирователю коммутатора. Информация, находящаяся в регистре считывания передается в перфоратор последовательно в 12 шагов.

Каждый код маркируется одним отверстием на дополнительной пятой дорожке перфоленты. Сигналы маркировки поступают в момент первого такта перфоратора.

Во время работы медленной части устройства схема триггер-1 занимает положение 1 и она не может принимать за это время следующих импульсов. Одновременно с 12-ым шагом коммутатора эта схема и триггер-2 возвращаются в состояние 0. Этим оканчивается цикл работы медленной части и запоминающее устройство готово принимать следующий импульс управления считыванием.

3-3 Описание принципа работы важнейших схем быстродействующей части ПЗУ

3-3.1 Блок памяти

Как уже было упомянуто блок памяти является системой линейного выбора (типа Z) с двойными запоминающими сердечниками и с током смещения. Он содержит 120 запоминающих регистров из которых, в данном случае, использованы 120. Запоминающая емкость одного запоминающего регистра равна 48 битам. Координатные трансформаторы построены на ферритовых сердечниках с прямоугольной петлей гистерезиса. 120 трансформаторов располагаются соответственно трехмерной системе выбора таким образом, как показано на рис. 23 (для примера с 8 трансформаторами). Несмотря на трехмерную систему принцип выборки двумя совпадающими полуточками сохранился.

120 координатных трансформаторов занимают место в 8-ми плоскостях. Каждая из плоскостей содержит 15 трансформаторов. По строчкам плоскости находится 5, а по столбцам ее - 3 трансформатора.

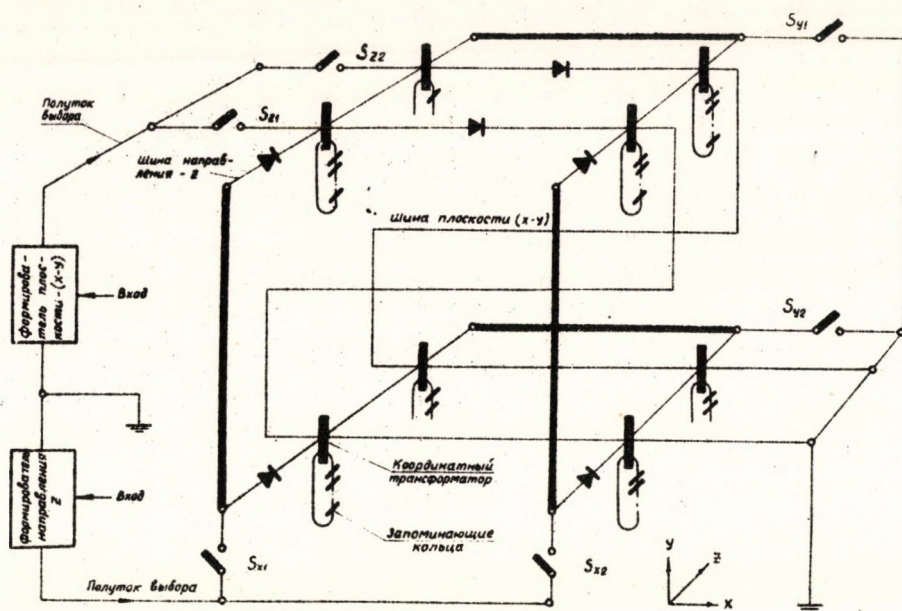


Рис. 23

С точки зрения числа адресных устройств трехмерная система экономичнее двумерной. В случае N запоминающих регистров число адресных устройств равно $2\sqrt{N}$ при квадратной и $3\sqrt[3]{N}$ при кубической структуре координатных трансформаторов. На рис. 24 показана функция $f = 3\sqrt[3]{N}/2\sqrt{N}$ в зависимости от N . Как видно, в результате применения трехмерной структуры в данном случае (120 ячеек) уменьшается количество адресных устройств на 30 % по сравнению с двумерной системой.

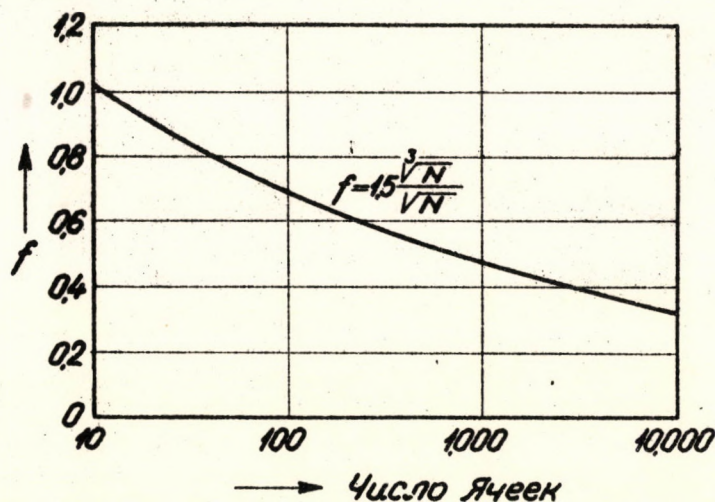


Рис. 24

3-3.2 Система выбора запоминающих регистров; запись и считывание информации

Запоминающий регистр данного адреса можно выбирать с помощью координатных шин, принадлежащих к координатному трансформатору этого регистра. Сами шины выбираются с помощью ключей системы выбора, (см. рис. 23), а эти последние - адресными пересчетными схемами.

Соответственно трехмерной системе к блоку памяти относятся 5, 3 и 8 ключей выбора в направлениях X , Y и Z . Одна из шин координатных трансформаторов имеет доступ через систему ключей S_z , а вторая - через пару ключей (S_x, S_y) . Каждый из ключей S_z определяет одну из плоскостей- XY блока памяти, а каждая пара (S_x, S_y) - одну шину направления- Z .

Система ключей выбора построена по принципу распределителей тока [A35, A36]. Замыкание тройки ключей (S_x, S_y, S_z) означает, что все диоды, лежащие по координатным шинам за исключением диодов выбранных шин, получают запирающее напряжение.

На основании блок-схемы системы выбора плоскостей (рис. 25) можно показать в общих чертах процесс выбора. В качестве примера рассматриваем, как происходит выбор 3-ей координатной шины (X - Y плоскость-3) в течение цикла считывания.

В момент появления импульса, управляющего считыванием, адресная пересчетная схема считывания уже приготовлена (последним процессом считывания) для выбора координатной шины плоскости-3. Когда управляющий сигнал (P_{CT}) появляется, соответствующий формирователь дает импульс (P_r) для адресной пересчетной схемы. Пересчетная схема на-

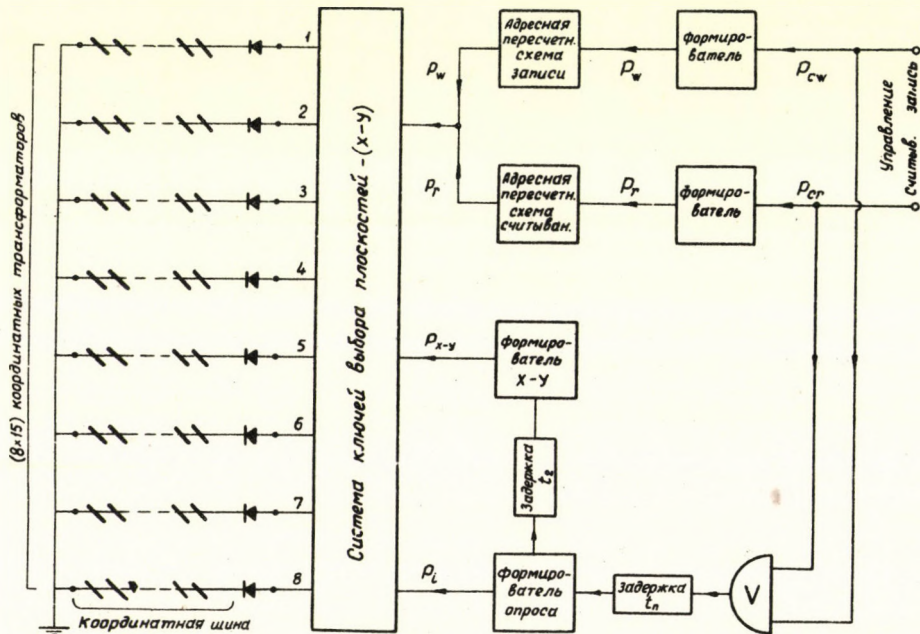


Рис. 25

правляет этот импульс на цепь приготовления ключа- S_{z3} . Этим импульсом выбирается ключ. Время выбора равно $t' < t_1$. Через время t_1 , когда процесс выбора уже окончен, запускается задержанным управляющим импульсом формирователь опроса. Именно этот импульс замыкает ключ S_{z3} . При "замыкании" этого ключа все диоды координатных шин за исключением третьей получают запирающее напряжение. Замыкание ключа требует время $t'' < t_2$. Через время t_2 управляющий импульс запускает "формирователь (X - Y) плоскости", который посылает полукоток выбора через 3-ю координатную шину.

Таким же образом происходит выбор ключа одной из координатных шин направления- Z , подготовленного к выбору адресными пересчетными схемами координат X и Y , а затем обеспечение этой шины полукотком выбора.

Координатный трансформатор, лежащий в пересечении полукотков перематничивается и тем информация от его линии передается к регистру считывания. Во время передачи усилители считывания получают импульс стробирования (см. рис. 22).

После считывания координатный трансформатор возвращается в свое стационарное состояние под действием токового смещения.

Подобным образом производится процесс записи. Но в этом случае во время импульсов (P_{x-y} , P_z) от координатных формирователей усилители считывания не получают стробирующего импульса и, таким образом, в этот раз первый период цикла работы будет простой очисткой регистра. Сам процесс записи произойдет одновременно с действием системы поразрядной записи (см. еще 3-3.3) в период возвращения координатного трансформатора.

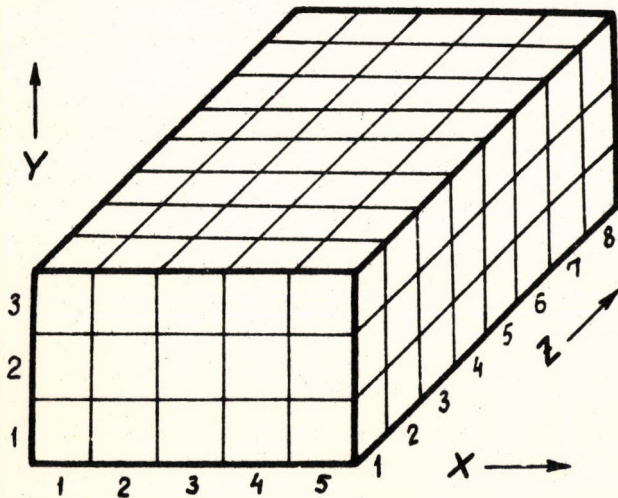


Рис. 26

Времен- ная пос- ледоват.	X	Y	Z	Времен- ная пос- ледоват.	X	Y	Z
1	1	1	1	6	1	3	6
2	2	2	2	7	2	1	7
3	3	3	3	8	3	2	8
4	4	1	4	9	4	3	1
5	5	2	5	10	5	1	2

Рис. 27

Адресные пересчетные схемы являются кольцевым коммутатором на ферритовых сердечниках (подробное описание см. 3-5). Соответственно трехмерной системе выбора в устройстве находится три адресных пересчетных схемы считывания и три адресных пересчетных схемы записи. Пересчетные схемы обладают устойчивыми состояниями 5, 3 и 8, соответственно направлениям X, Y и Z. На рис. 26 показано расположение координатных трансформаторов, а из таблицы рис. 27 поясняется последовательность поисков (первые 10 трансформаторов). Видно, что поиск происходит не по линии или плоскости, а в пространстве. Это является следствием того, что адресная система в данном случае представляет из себя схему импульсного типа (см. еще рис. 13). В процессе записи (и считывания) кодов адрес запоминающих регистров по каждой координате меняется на 1 (циклически).

3-3.3 Регистр записи и система поразрядной записи

Регистр записи и система поразрядной записи тесно связаны между собой. Особенность этого блока в том, что поразрядные элементарные схемы содержат лишь пассивные элементы. Система с формирователями приготовления и с воротами совпадений показана на рис. 28 для случая 4-х разрядов. Роль элементарных схем двойная:

- 1/ они сохраняют информацию, полученную от системы измерения,
- 2/ во время записи кода в блок памяти распределяют ток импульса общего формирователя на отдельные провода поразрядной записи блока памяти. Полярность импульсов, появляющихся на выводах элементарных схем, соответствует записанной в них информации (0 или 1).

Элементарные схемы построены на ферритовых элементах с прямоугольной петлей гистерезиса и основаны на принципе распределителей тока.

Если в течение передачи информации был записан 0 в элементарную схему (значит она не получила сигнал от формирователя приготовления), то во время записи ток проходит через ветвь α . Но если схема получила сигнал, соответствующий цифре 1, ток проходит через ветвь β во время записи.

Так как первичные обмотки выходного импульсного трансформатора T_p имеют противоположную полярность относительно вторичной, провод поразрядной записи блока памяти получает ток положительной или отрицательной полярности соответственно записи 0 или 1, как это и требуется при применении системы двойных запоминающих сердечников. Цикл записи завершается сбросом. В течение сброса элементарные схемы возвращаются в состояние 0 под воздействием формирователя сброса.

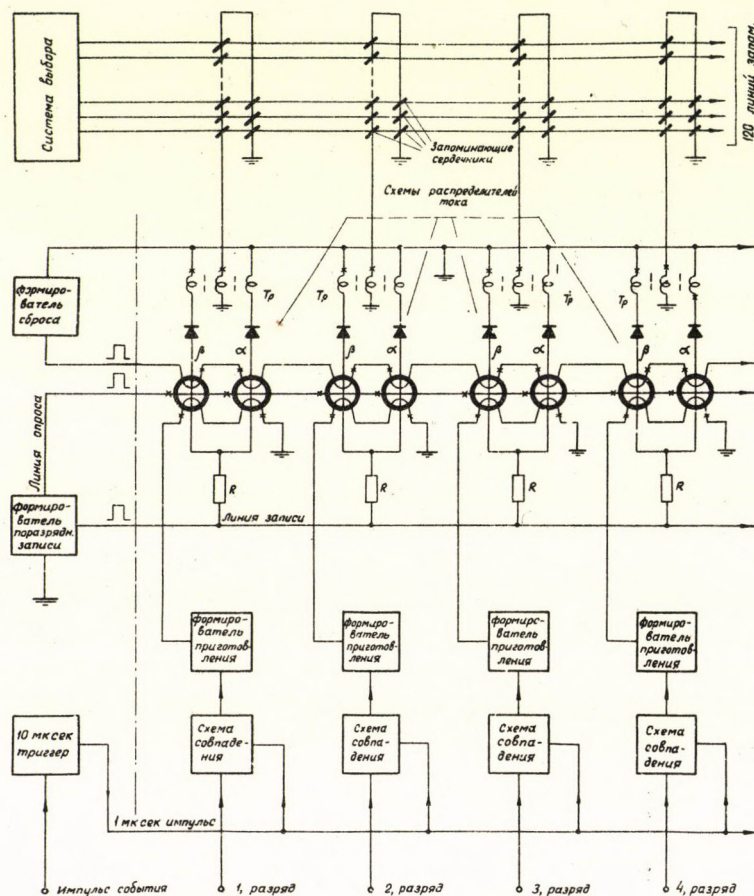


Рис. 28

3-3.4 Временная диаграмма блока памяти

Временная диаграмма цикла считывания и записи показана на рис. 29. Как видно, ход процессов тот же самый в обоих случаях, но для записи будет использована вторая часть импульса числовой линии запоминающего регистра, а для процесса считывания - первая часть его. На рис. 29 показан импульс числовой линии вместе с его зеркальным отражением. P' относится к одному из пары запоминающих сердечников, а P'' - ко второму (см. систему двойных сердечников).

Подробное обсуждение дифференциальной пересчетной схемы и адресных пересчетных схем дается в параграфе 3-5.

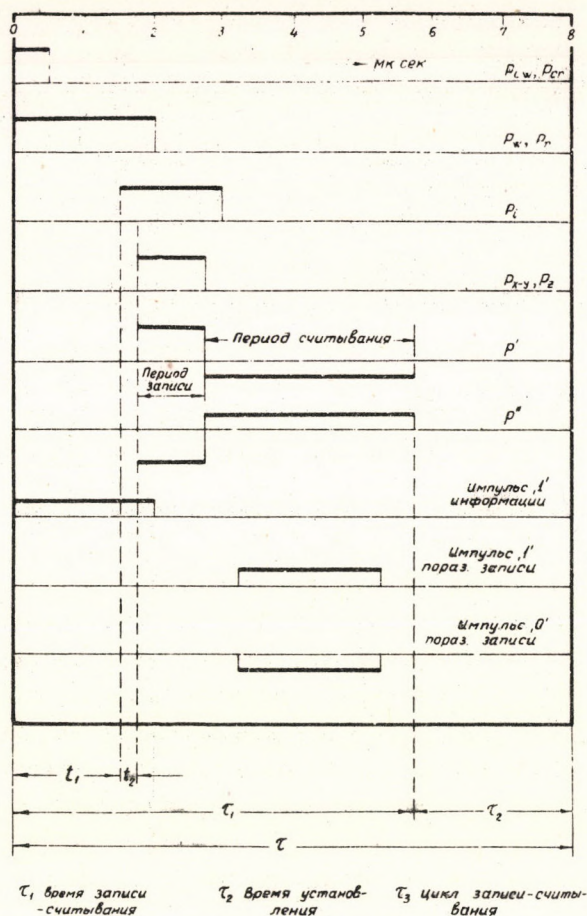


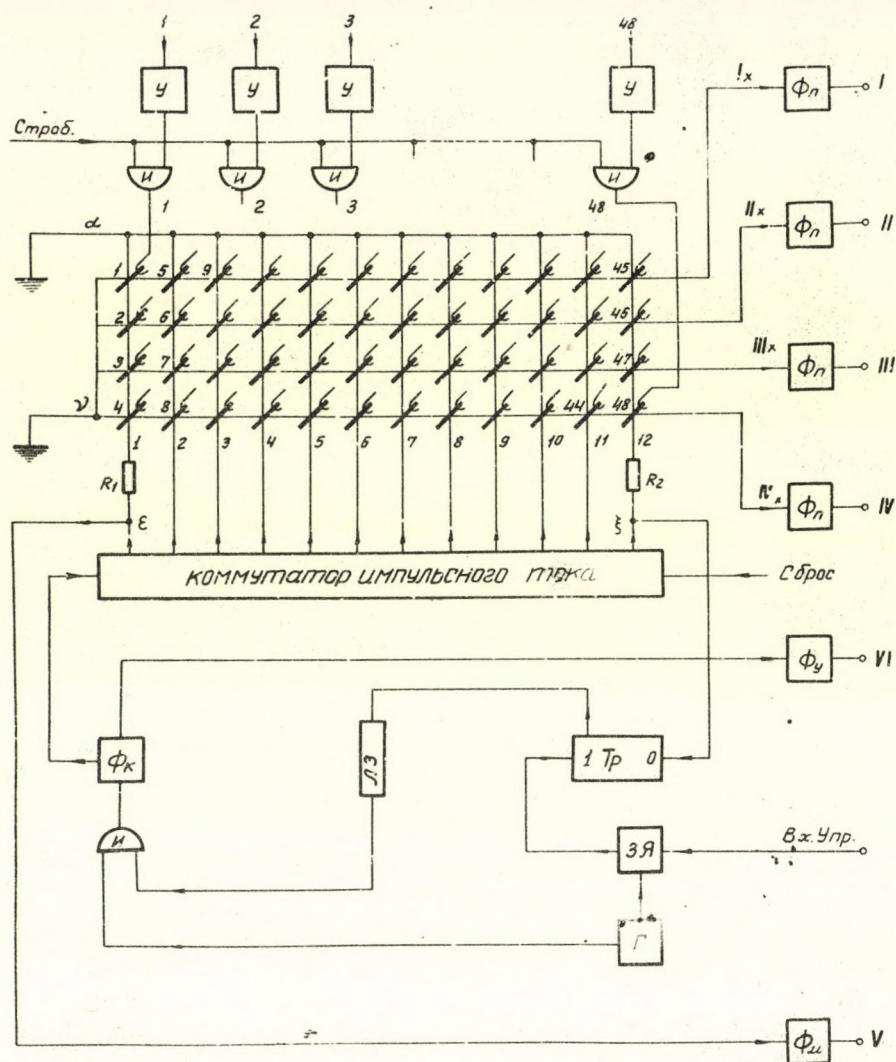
Рис. 29

3-4 Описание принципа работы медленной части ПЗУ

Медленная часть устройства выполняет задачу поразрядного согласования между быстродействующей частью ПЗУ и перфоратором. В таком виде как показана на рис. 30 ее можно использовать и отдельно, в качестве однорегистрового ПЗУ [A12, B1] поразрядного согласования. Рис. 30 показывает медленную часть устройства более развернутым образом по сравнению с рис. 22.

Регистр считывания составлен из ферритовых сердечников. Ферритовые сердечники расположены в матрице. Число ферритовых элементов матрицы равно числу разрядов параллельного кода (48). Сердечники расположены по четырем горизонтальным и по двенадцати вертикальным шинам. Горизонтальные шины являются шинами считывания, а вертикальные — шинами опроса. Каждому из сердечников принадлежит еще одна обмотка для записи информации. Выходы блока памяти подключаются на эти обмотки через усилительные и логические ячейки (Y , H).

Шины опроса подключаются к выходным ветвям коммутатора, а шины считывания — к формирователям перфоратора Φ_n . Блок Γ является тактовым генератором, работающим со скоростью перфоратора, а триггер Tr и запоминающая ячейка $ЗЯ$ обеспечивают логические функции, связанные с управлением выводом информации. Блок Φ_k служит для формирования импульсов генератора Γ .



У... усилитель, И... лог. схема, И'... формирователь;
Г... тактовый ген. Тр... триггер, ЗЯ... запомин. ячейка.

Рис. 30

Устройство работает следующим образом. Вначале все сердечники матрицы находятся в состоянии 0. Коммутатор занимает исходное положение, в котором он готов направить первый импульс формирователя Φ_K на шину опроса 1. Клапаны И усилителей закрыты, триггер Тр находится в состоянии 0. В этом положении клапан И генератора Г также заперт.

В первом цикле работы происходит перезапись информации. На входы подается параллельный 48-разрядный код, и одновременно поступает импульс стробирования на шину "Строб", которым отпираются клапаны И, и код передается и записывается в матрицу.

При выводе информации из матрицы, прежде всего, поступает импульс на вход "Вх. Упр.". Появление импульса управления является случайным событием. Момент появления

этого импульса в общем случае не совпадает с импульсом генератора Γ , работающего в периодическом режиме. С точки зрения надежности устройства существенно, чтобы в связи с этим обстоятельством формирователь ϕ_k не получал искаженные спусковые импульсы, что могло бы вызывать неправильную работу коммутатора. Этот недостаток можно устранить показанным на блок-схеме способом.

Импульс управления считыванием поступает прежде всего на запоминающую ячейку ЗЯ и там сохраняется до тех пор, пока очередной импульс генератора Γ не передает его на вход 1 триггера Tr . Это значит, что Tr может переброситься только одновременно с появлением импульса генератора Γ . Tr отпирает клапан H с некоторым опаздыванием, вызванным линией задержки ЛЗ. Время задержки выбрано так, что клапан H отпирается в интервале между импульсами Γ . Очередной импульс генератора встретит открытый клапан и поступит без помех на вход ϕ_k . Во время считывания формирователь ϕ_k получает, т.е. выдает 12 импульсов. Выходные импульсы ϕ_k передаются коммутатором поочередно на шины опроса 1, 2, ... 11, 12. Импульсы ϕ_k через формирователь ϕ_y управляют и двигательным механизмом перфоратора. Одновременно с первым импульсом ϕ_k перфоратор получает маркерный импульс с сопротивления R_1 через формирователь ϕ_m .

Импульсы, поступающие на отдельные шины опроса, перемагничивают матрицу по 4 сердечника в исходное состояние. Таким образом с каждым шагом коммутатора передается одновременно информация 4-х сердечников на шины считывания и оттуда через формирователи ϕ_n на перфоратор (перфоратор имеет в данном случае 5 дорожек, из которых 1 служит для маркера). 48-разрядный параллельный входной код выводится в 12 последовательных тактов.

Подробное описание важнейших схем медленной части находится в параграфе 3-5.

3-5 Принципиальные схемы главных блоков

3-5.1 Схема 10 мксек-триггера

Схема 10 мксек-триггера показана на рис. 31. При отсутствии входных сигналов транзистор T находится в выключенном состоянии. Величина сопротивлений R_1 , R_2 и R_3 выбрана таким образом, что ток туннельного диода (I_T) меньше его пикового тока. С поступлением входного импульса (отрицательной полярности) туннельный диод переключается на диффузионную ветвь, и тем транзистор T переходит в насыщенное состояние. Через 5 мксек поступает положительный импульс коллектора в точку α . Под действием этого импульса диод D_T возвращается в исходное состояние, а транзистор T выключается. В точке α действие импульса продолжается в течение 5 мксек. Так как это действие сильнее действия входного сигнала переключение диода за это время невозможно. Таким образом, решающее время схемы составляет 10 мксек.

Кремниевый диод ограничивает ток входного сигнала на сопротивлении R_3 .

Линия ЛЗ согласована в точке α .

Выходной сигнал описанной схемы дифференцируется и его фронт используется для запуска ждущего блокинг-генератора, который выдает импульсы длительностью 1 мксек. Эти импульсы отпирают систему ворот совпадений и управляют системой выбора блока памяти.

Схема характеризуется, с одной стороны тем, что время ее переключения небольшое и запаздывание сигналов на выходах I и II незначительно, а с другой стороны

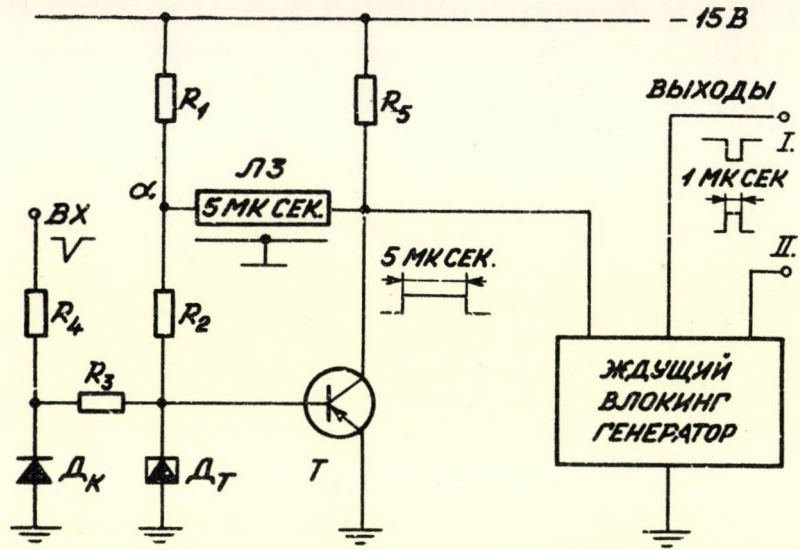


Рис. 31

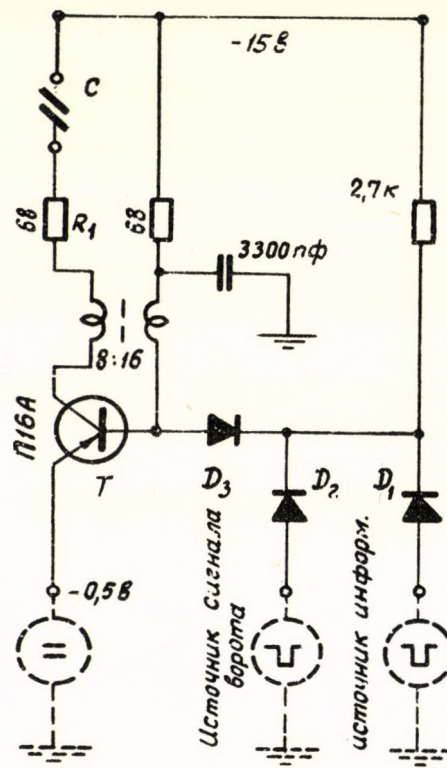


Рис. 32

тем, что ее мертвое время является непродливающимся; оно определено исключительно параметрами линии задержки.

3-5.2 Поразрядная ячейка системы ворот совпадений и формирователей приоттовления

Поразрядная ячейка системы совпадений состоит из пары диодов (D_1 и D_2) и сопротивления ($2,7 \text{ к}\Omega$), как показано на рис. 32. Один из диодов подключен к источнику

информации, а второй - к выходу 10 мксек-триггера. Выход схемы совпадений и вход формирователя соединены диодом D_3 .

Формирователь приготовления является ждущим блокинг-генератором, транзистор которого работает в схеме с общим эмиттером. В цепи коллектора транзистора расположены ферритовые сердечники с прямоугольной петлей гистерезиса, принадлежащие к поразрядной ячейки регистра записи.

Следует отметить, что схема, показанная на рис. 32 позволяет ввод испытательных кодов или кодов программ простым образом. Если во время поступления импульса 10 мксек-триггера диод D_1 соединен с землей, то схема совпадений не даст выходного сигнала и формирователь приготовления не срабатывает. В результате этого в соответствующий разряд ПЗУ будет записан 0. Однако, если диод D_1 находится в отключенном от земли состоянии, при поступлении импульса 10 мксек-триггера формирователь приготовления срабатывает и в блок памяти будет записана 1. Таким образом, с помощью переключательной системы можно составить любой код записываемый в ПЗУ.

3-5.3 Дифференциальная пересчетная схема [A37, A38]

ПЗУ работает по принципу последовательного циклического доступа. Пусть ПЗУ имеет k запоминающих регистров. Обращение к этим регистрам при записи, а также при считывании всегда происходит в определенном порядке в отличие от оперативных запоминающих устройств. Работа ПЗУ является циклической в том смысле, что после записи в k -

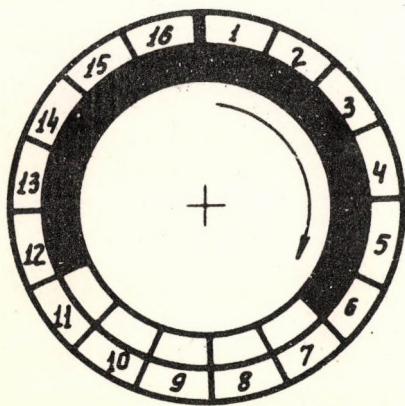


Рис. 33

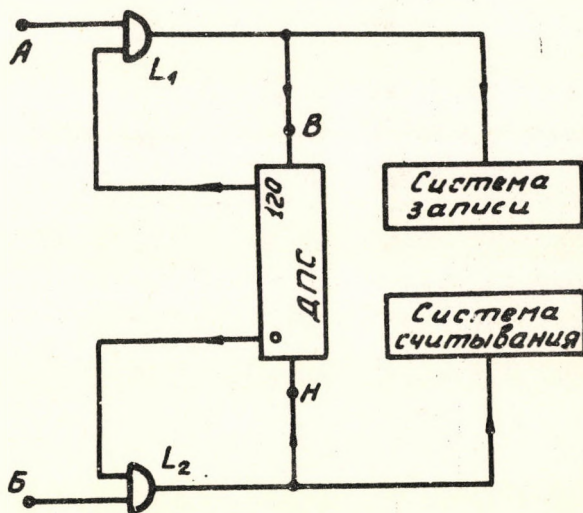


Рис. 34

-ый регистр адресная система записи обращается опять к первому регистру, при предположении, что прежнее содержание информации этого регистра уже стерто в процессе считывания. За процессом считывания следует процесс записи также циклическим образом.

На рис. 37 показано ПЗУ символически с 16-ю регистрами в случае, когда 12-16 и 1-6 регистры заняты, а 7-11 регистры свободны. Следующий цикл записи производится в регистр 7, а следующий процесс считывания ожидается с регистра 12. Для управления такими системами необходимо обеспечивать следующие условия:

1. Считывание должно быть запрещено до тех пор, пока блок памяти пуст.
2. Запись должна быть запрещена, когда все регистры заняты.

Соответствующие этим условиям логические задачи можно решить разнообразными способами. В запоминающем устройстве, построенном в Лаборатории ядерных проблем, эти

задачи решены с помощью пересчетной схемы, способной считывать разность двух последовательностей импульсов.

Логическая система, соответствующая условиям 1 и 2, показана на рис. 34. Кроме дифференциальной пересчетной схемы (ДПС), она содержит еще два клапана с отрицанием (схема антисовпадений). ДПС считает разность числа импульсов, управляющих записью и считыванием. Следовательно она постоянно дает информацию о том, сколько занятых регистров имеется в ПЗУ. Импульсы, управляющие записью, поступают на вход A . Они могут подаваться на вход адресной системы и вход F (сложение) ДПС, если в ПЗУ имеется хотя бы один свободный регистр. Однако, когда уже все регистры заняты, ДПС дает запирающий потенциал на клапан L_1 . Процесс записи может начаться опять только после того, как произошло считывание хотя бы в одном регистре. В этом случае импульс считывания, поступающий на вход H (вычитание) ДПС, вычитается, и пересчетная схема снова отпирает клапан L_1 . Процесс считывания происходит в паузах между записью под действием импульсов, поступающих на вход B запоминающего устройства. Считывание запрещено, пока запоминающие регистры пусты. В этом случае ДПС находится в состоянии 0, и клапан L_2 закрыт.

ДПС, выполняющая поставленные логические задачи, должна обладать следующими свойствами:

- а/ число ее возможных устойчивых состояний должно быть больше или равно $(k + 1)$, где k - число запоминающих регистров;
- б/ она должна иметь два независимых друг от друга входа (B и H);
- в/ ее необходимо строить на элементах потенциального типа.

ДПС является системой кольцевого типа. В качестве основного элемента ее используются триггеры. Как следует из свойств кольцевых пересчетных схем, ее можно осуществить с любым числом устойчивых состояний. Рис. 36 и 37 изображают схему с тремя триггерами (α , β , γ), имеющую три состояния. Один из этих триггеров всегда находится в состоянии 1, а остальные в состоянии 0. Состояние 1 триггеров обозначается знаками α , β , γ , а их состояние 0 - знаками $\bar{\alpha}$, $\bar{\beta}$, $\bar{\gamma}$. Появление импульса на вход B и H обозначается знаками e и n . Систему можно описать логическими уравнениями

$$(\alpha\bar{\beta}\bar{\gamma}) \vee (\bar{\alpha}\beta\bar{\gamma}) \vee (\bar{\alpha}\bar{\beta}\gamma) = 1,$$

и

$$en = 0.$$

Последовательность состояний троичной ДПС во времени можно предписать следующим образом:

$$\begin{array}{l} (\alpha\bar{\beta}\bar{\gamma}) \rightarrow (\bar{\alpha}\beta\bar{\gamma}) \rightarrow (\bar{\alpha}\bar{\beta}\gamma), \\ (\alpha\bar{\beta}\bar{\gamma}) \rightarrow (\bar{\alpha}\bar{\beta}\gamma) \rightarrow (\bar{\alpha}\beta\bar{\gamma}). \end{array}$$

Первое из последних выражений соответствует счету "вперед" (сложение импульсов), а второе - счету "назад" (вычитание). На основе этих выражений можно составить таблицы рис. 35. В таблицах цифра 1 обозначает появление импульсов, а цифра 0 - отсутствие их. Состояния триггеров также обозначены цифрами 1 и 0. В колонке C' приведены состояния схемы до поступления импульса, а в колонке C'' - те состояния, в которых должна находиться схема после поступления импульса.

В	Н	С'			С''		
		α	β	γ	α	β	γ
1	0	1	0	0	0	1	0
1	0	0	1	0	0	0	1
1	0	0	0	1	1	0	0

α.

В	Н	С'			С''		
		α	β	γ	α	β	γ
0	1	1	0	0	0	0	1
0	1	0	0	1	0	1	0
0	1	0	1	0	1	0	0

δ

Рис. 35

Таблицы содержат всю информацию, нужную для осуществления логической схемы ДПС. Первая строчка таблицы α, например, содержит следующие требования.

Для осуществления перехода $(αβ\bar{γ}) \rightarrow (\bar{α}β\bar{γ})$ под воздействием сигнала, появляющегося на входе В, нужно, чтобы логическая схема направляла этот сигнал на вход 0 триггера α и на вход 1 триггера β.

Логическую цепь необходимо построить так, чтобы на этих входах был сигнал только при переходе $(αβ\bar{γ}) \rightarrow (\bar{α}β\bar{γ})$.

Практическое решение показано на рис. 36. Клапан Н-1 одним входом подключается на вход В, а другим - на триггер α. В состоянии 1 триггера этот клапан открыт, и сигнал ε подается на вход 1 триггера β, а потом через триггер β и цепь Л₀ - на вход 0 триггера α. Свойство цепи Л₀ таково, что она принимает сигнал только с триггера, совершающего переход 0 → 1, и отправляет его на вход 0 остальных триггеров. Эту цепь можно осуществлять очень просто, с применением одного сопротивления (см. рис. 36; R₀).

Остальные части логической схемы можно решить таким же образом. Как показано на рис. 36, на входе 1 каждого триггера подключены два клапана Н, соответствующие двум направлениям счета. Цепь ИЛИ изолирует клапаны Н друг от друга. Задерживающий элемент Т запоминает прошедшее состояние триггеров во время переходов.

К логическим проблемам относится вопрос соединения пересчетных ячеек разных разрядов. Возьмем в качестве примера две троичных ячейки. Можно легко показать, что для правильной работы системы на входе В₂ требуется импульс при переходе $(\bar{α}_1\bar{β}_1\bar{γ}_1) \rightarrow (α_1\bar{β}_1\bar{γ}_1)$, а на входе Н₂ - при переходе $(α_1\bar{β}_1\bar{γ}_1) \rightarrow (\bar{α}_1\bar{β}_1\bar{γ}_1)$. (индекс 1 соответствует первой ячейке, а индекс 2 - второй). Таким образом, выход В₁ подключается на клапан Н-V, а выход Н₁ - на клапан Н-IV. При работе "вперед" ДПС работает, как обыкновенная пересчетная схема. При работе "назад" схема работает следующим образом. Если предположить в качестве примера, что в пересчетной схеме записано 6 импульсов, можно написать следующее символическое выражение:

$$\begin{array}{ccc}
 0 & 1 & 2 \\
 \alpha_1 & \beta_1 & \bar{\gamma}_1
 \end{array}
 \mid
 \begin{array}{ccc}
 0 & 3 & 6 \\
 \bar{\alpha}_2 & \beta_2 & \bar{\gamma}_2
 \end{array}
 \quad 0 + 6 = 6,$$

где цифрами обозначены веса соответствующих триггерных ячеек. Под действием импульса, поступающего на вход Н₁, состояние ДПС изменится и будет таким:

$$\begin{array}{ccc}
 0 & 1 & 2 \\
 \bar{\alpha}_1 & \beta_1 & \alpha_1
 \end{array}
 \mid
 \begin{array}{ccc}
 0 & 3 & 6 \\
 \bar{\alpha}_2 & \beta_2 & \bar{\gamma}_2
 \end{array}
 \quad 2 + 3 = 5.$$

Как видно, при появлении импульса произойдет добавление 2 в первой ячейке и вычитание 3 во второй.

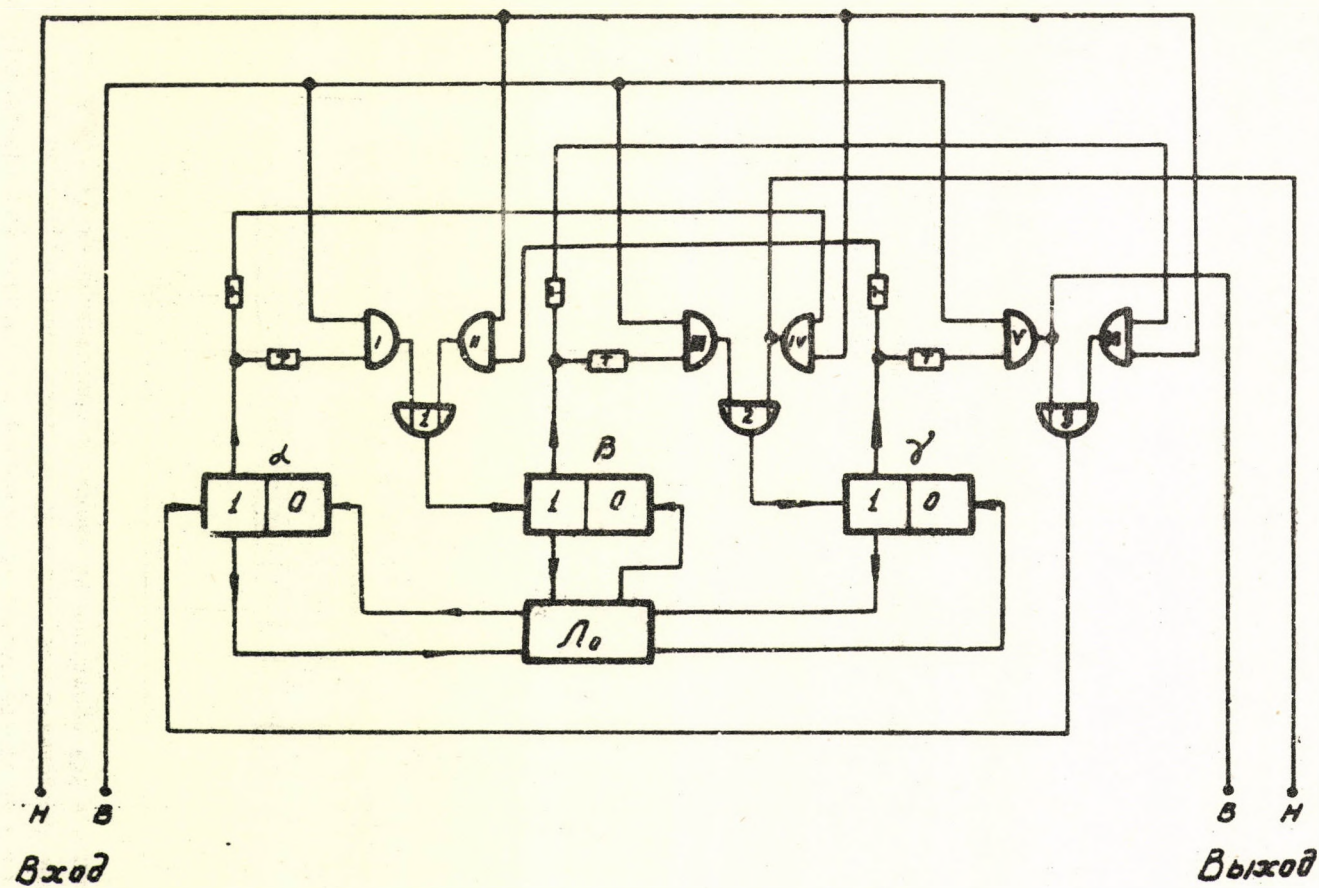
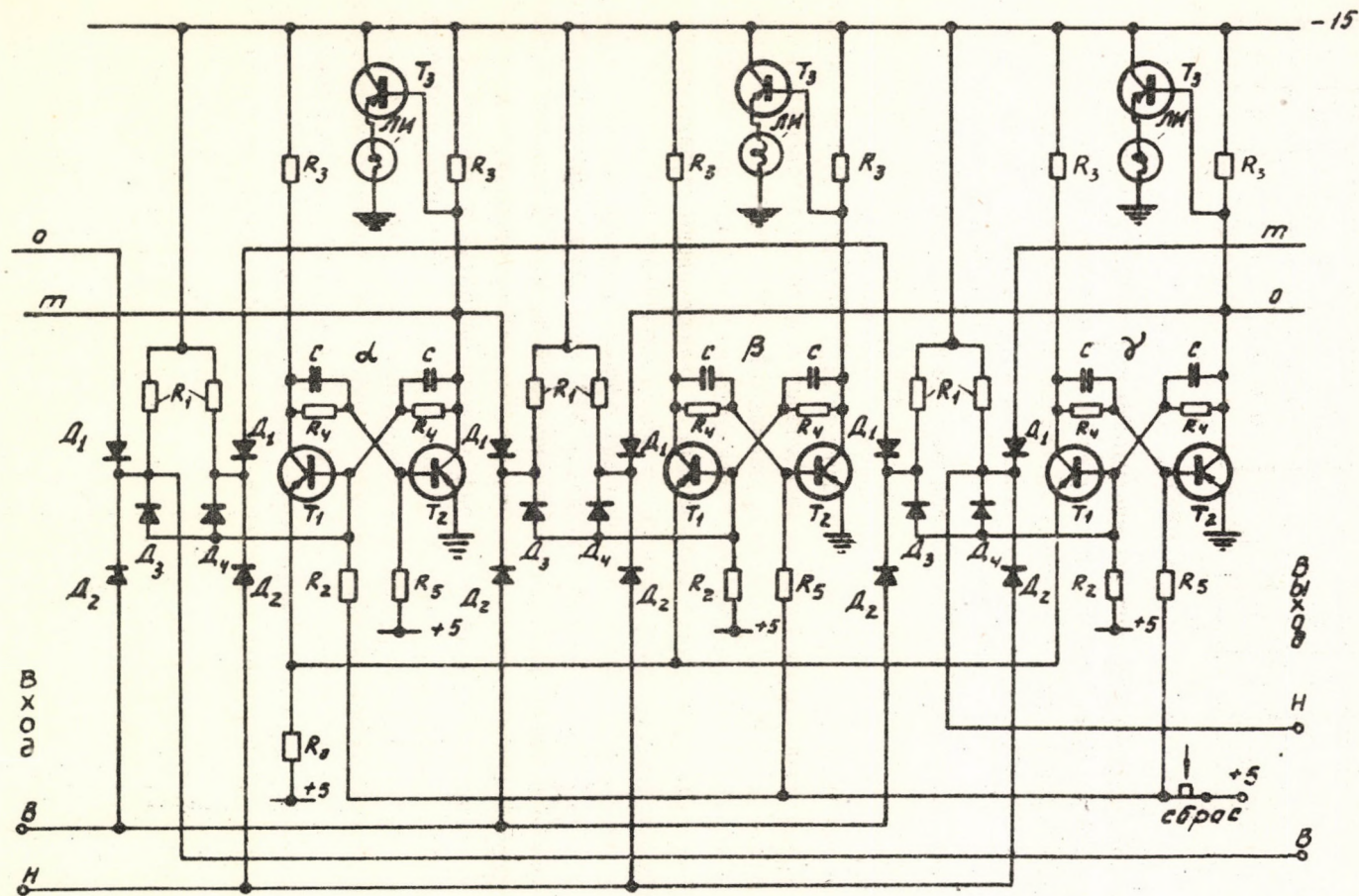


Рис. 36



$T_1, T_2, T_3 \dots$ П16А; $D_1, D_2, D_3, D_4 \dots$ Д11; ЛН \dots 24В/35мА; $C \dots$ 500 пФ;
 $R_1 \dots$ 3,3к; $R_2 \dots$ 11к; $R_3 \dots$ 1,5к; $R_4 \dots$ 9,1к; $R_5 \dots$ 6,8к; $R_6 \dots$ 1к

Рис. 37

Логические таблицы, подобные а и б рис. 35, можно просто составить для дифференциальных пересчетных схем с любыми основаниями, отличающимся от 3. С помощью таблиц легко создавать практическую схему.

На рис. 37 показана принципиальная схема ДПС. Триггеры являются асимметричными мультивибраторами на транзисторах. Во включенном состоянии все транзисторы работают с коэффициентом насыщения 2 при $\beta_{min} = 30$ (β - коэффициент усиления в схеме с общим эмиттером). Цепи И и ИЛИ построены на диодах и сопротивлениях D_1, D_2 и D_3, D_4, R_0 .

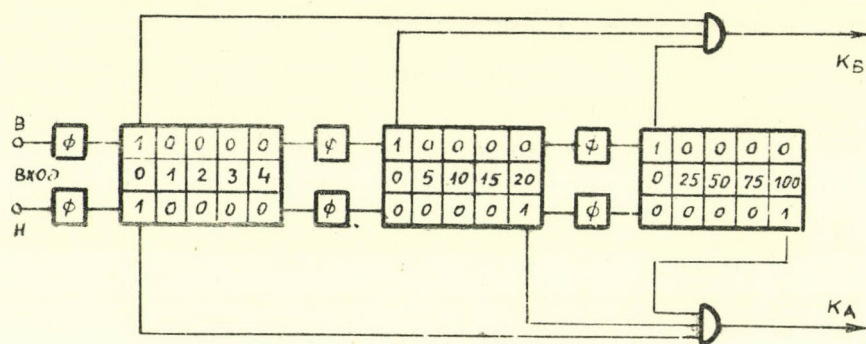


Рис. 38

(R_0 - сопротивление цепи базы транзистора в состоянии отсечки). Эти элементы соединяются друг с другом непосредственно, без всяких дополнительных согласующих схем. Логическая цепь L_0 , как сказано раньше, состоит из одного сопротивления (R_0), к верхней точке которого подключаются эмиттеры транзисторов T_1 .

Пусть начальное состояние триггеров $\alpha\bar{\beta}\bar{\gamma}$. В этом случае коллектор транзистора $T_{2\alpha}$ находится под потенциалом 15 в, одновременно на коллекторах $T_{2\beta}$ $T_{2\gamma}$ потенциал равен ≈ 0 вольт. Таким образом, только клапаны H , находящиеся в цепи коллектора $T_{2\alpha}$, открыты, и импульс e способен поступить на базу транзистора $T_{1\beta}$, а импульс n - на базу транзистора $T_{1\gamma}$. Под воздействием импульса e происходит переход триггера $\bar{\beta} \rightarrow \beta$, а под воздействием импульса n - переход триггера $\bar{\gamma} \rightarrow \gamma$. При любом переходе $0 \rightarrow 1$ на сопротивлении R_0 появляется скачок напряжения, который осуществляет переход триггера $\alpha \rightarrow \bar{\alpha}$. В результате этих процессов в конце концов пересчетная схема выполняет переход $(\alpha\bar{\beta}\bar{\gamma}) \rightarrow (\bar{\alpha}\beta\gamma)$ или $(\alpha\bar{\beta}\bar{\gamma}) \rightarrow (\bar{\alpha}\bar{\beta}\gamma)$. Процесс счета в дальнейшем таким же образом продолжается.

Следует заметить, что в стационарном состоянии потенциал на входных клеммах должен быть равен нулю.

Потенциал базы невключенных транзисторов T_1 находится около нуля, благодаря ограничивающему действию диодов D_2, D_3 и D_4 . Несмотря на это, невключенные транзисторы T_1 устойчиво остаются в закрытом состоянии до поступления импульса, потому что потенциалы, имеющиеся на эмиттерах транзисторов T_1 , имеют величину - 3 вольта.

Задерживающего элемента T (см. рис. 36) не нужно, так как времени восстановления транзистора T_1 и времени перехода сигналов через цепи достаточно для правильной работы схемы.

Индикация результатов счета производится с помощью транзистора T_3 и индикаторной лампы $ЛИ$.

Число запоминающих регистров ПЗУ равно 120. Соответственно этому ДПС должен иметь, по крайней мере, 121 состояние. Наиболее целесообразным оказалось применение трех пятимерных пересчетных ячеек. Блок-схема показана на рис. 38. Пересчетные ячейки

соединяются через формирователи Φ . Схема формирователя является триггером с одним устойчивым состоянием (рис. 39). Каждый блок в схеме разделен на пять частей (пять триггеров) по вертикали и на три части - по горизонтали. В средней горизонтальной части приведен "разрядный вес" триггеров. В верхней горизонтальной части показаны состояния отдельных триггеров в положении 0 ДПС, а в нижней части показаны состояния триггеров в положении 120 ДПС. Рис. 38 является более подробной схемой ДПС, изображенной на рис. 34.

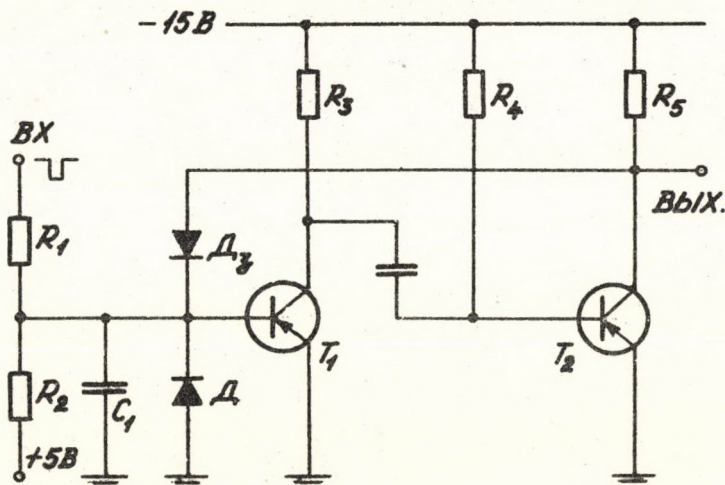


Рис. 39

3-5.4 Коммутатор импульсного тока адресной системы и регистра считывания

Системы распределителей тока

В цифровой технике играют значительную роль феррит-диодные распределители тока [А35, А36]. Коммутатор импульсного тока [А36, А39], примененный в адресной системе и при регистре считывания является частным случаем этих систем. Перед описанием работы коммутатора кратко рассматриваются принцип действия и различные типы распределителей тока.

Распределитель тока является такой системой, назначение которой - выбор одной из n возможных ветвей и направление в нее тока одного импульсного источника. Выбор ветви происходит по информации, которая либо передается в систему перед каждым циклом работы распределителя, либо зафиксирована в системе. Распределители тока делятся на две группы: а/ непосредственные и б/ инверсные системы.

Работу непосредственной системы можно рассматривать на основании рисунка 40а. На рис. 40а показана система с 3 ветвями. Ферритовые сердечники магнитных элементов обладают прямоугольной петлей гистерезиса. На каждом сердечнике находится три обмотки w_1 , w_2 , w_3 . Из них w_1 называется обмоткой подготовки, w_2 - обмоткой опроса и w_3 - направляющей обмоткой.

Вначале каждый сердечник находится в состоянии 0. Циклу работы предшествует цикл подготовки. В течение этого цикла сердечник выбранной ветви перемагничивается в состояние 1. С окончанием цикла подготовки срабатывают одновременно генераторы G_1 и G_2 . Под действием генератора G_1 подготовленный сердечник выполняет переход $1 \rightarrow 0$. При этом в его направляющей обмотке индуцируется напряжение, которое запирает все диоды, за исключением выбранной ветви. Таким образом, ток генератора G_2 проходит полностью

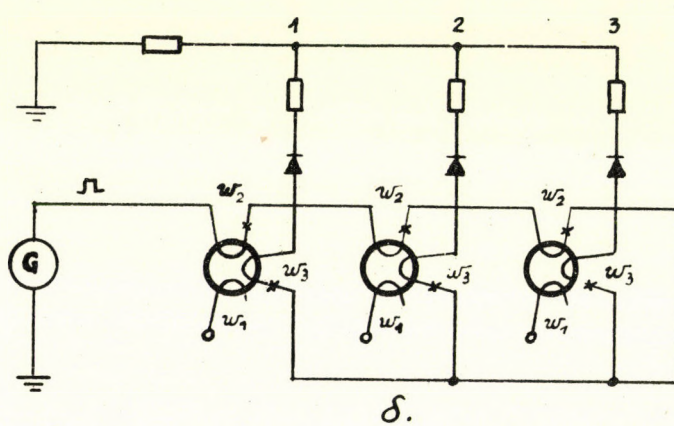
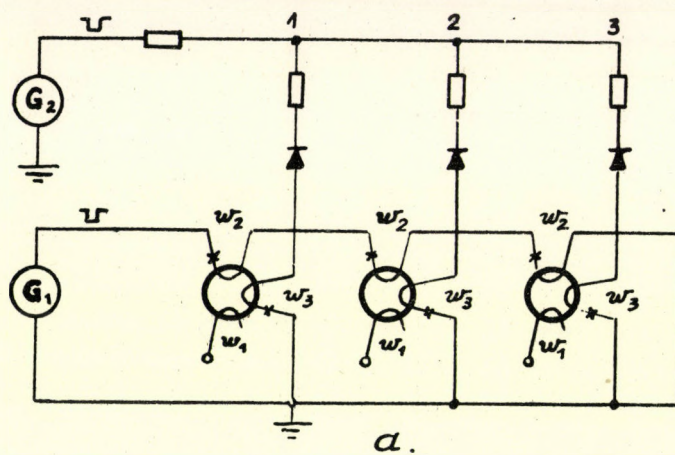


Рис. 40

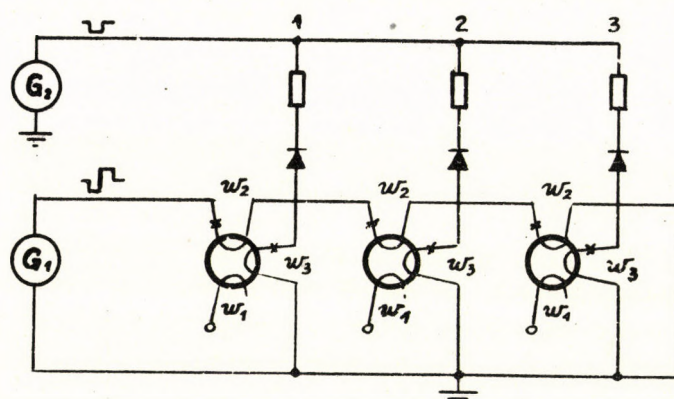


Рис. 41

через выбранную ветвь. С окончанием цикла работы все сердечники снова находятся в первоначальном состоянии 0. Условие правильной работы распределителя заключается в том, что диоды невыбранных ветвей должны получать запирающее напряжение с начала и до конца коммутирующего импульса генератора G_2 .

Генераторы G_1 и G_2 можно заменить и отдельным генератором, как показано на рис. 40б.

Инверсный вариант распределителя тока показан на рис. 41. Вначале каждый сердечник находится в состоянии 0. Подготовка системы происходит таким же образом, как и в случае непосредственной системы, т.е. перемагничиванием сердечника выбранной ветви в состояние 1. Во время цикла работы срабатывают одновременно генераторы G_1 и G_2 . Но в отличие от непосредственной системы действие генератора опроса G_1 здесь таково, что сердечники должны совершить переход $0 \rightarrow 1$, так что во время цикла работы перемагничиваются сердечники невыбранных ветвей. Вследствие этого ток генератора G_2 протекает лишь через выбранную ветвь. После цикла работы инверсной системы следует дополнительный цикл, в течение которого все сердечники возвращаются в первоначальное состояние 0.

Инверсная система также может работать с одним генератором.

Два типа распределителей тока являются принципиально равноценными, но на практике инверсная система имеет большие преимущества. В литературе [В14] имеются утверждения, что осуществление непосредственного распределителя тока при $n > 2$ затруднительно. Опыты, проведенные в связи с разработкой данного коммутатора, подтвердили эти утверждения.

Причины затруднений, появляющихся при практическом осуществлении непосредственной системы, заключаются в том, что при работе этой системы значительная мощность проходит через цепь опроса. Это обстоятельство является источником факторов, которые противодействуют эффекту распределения тока. А при работе инверсной системы через цепь опроса мощность не передается, и поэтому здесь нет вышеуказанного недостатка, так что эту систему можно без трудностей построить с любым числом ветвей.

Коммутаторы импульсного тока

Коммутатор тока является одним из вариантов систем распределителей тока, подготовка которого требуется только один раз (сброс). Вслед за этим последовательность ветвей определяется логическим построением системы. Известное из литературы решение коммутатора [А36, А39] показано на рис. 42 в качестве примера с 6 ветвями тока. Коммутатор работает по принципу непосредственных систем. Для этого коммутатора характерно, что он включает на ветви 1-6 ток не одного, а двух генераторов - А и В. Генераторы работают поочередно. Действие генераторов таково, что они через обмотку w_2 вынуждают сердечники на переход $1 \rightarrow 0$, а через обмотку w_1 - на переход $0 \rightarrow 1$.

Во время сброса сердечник, находящийся на пересечении ветви 1 и горизонтальной шины генератора А, перемагничивается в состояние 1, а остальные сердечники - в состояние 0. Первым срабатывает генератор А, и сердечник, находившийся в состоянии 1, совершает переход $1 \rightarrow 0$. При этом в обмотке w_2 этого сердечника индуцируется напряжение такой полярности и величины, что диоды всех ветвей, за исключением 1-ой ветви, запираются, так что импульсный ток генератора А проходит полностью через ветвь 1. Этим током перемагничивается в состояние 1 и первый сердечник, находящийся на шине генератора В. Затем срабатывает генератор В. На основании аналогичных рассуждений можно заключить, что его ток проходит через ветвь 2 и одновременно перемагничивает в состояние 1 второй сердечник на шине генератора А и т.д.

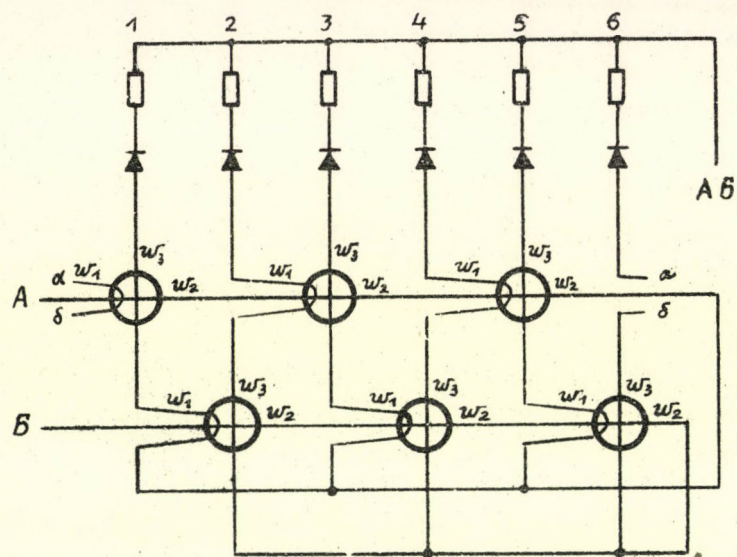


Рис. 42

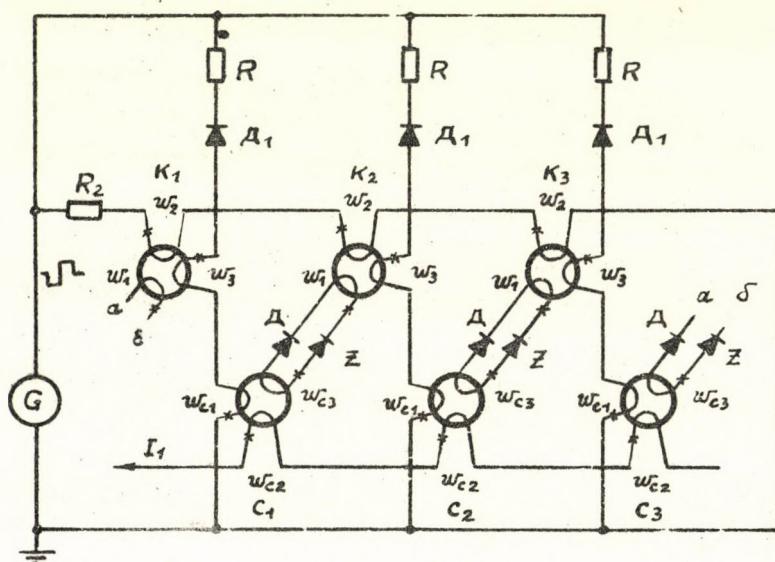


Рис. 43

После перехода $1 \rightarrow 0$ последнего сердечника коммутатора опять выбирается первый сердечник, и этим заканчивается полный цикл. Как видно, при наличии n ветвей система имеет n устойчивых состояний, и поэтому ее можно считать и кольцевой пересчетной схемой.

При использовании коммутатора такого типа (рис. 42) надо принимать во внимание три свойства, которые могут оказаться причиной разных проблем:

- а/ его можно осуществлять только с четным числом ветвей тока;
- б/ для его работы необходимо применять, по крайней мере, два генератора;
- в/ он работает по принципу непосредственной системы.

Коммутатор тока инверсного типа

Для устранения указанных проблем разработана новая схема коммутатора. Этот

коммутатор работает по принципу распределителей тока инверсного типа. Его можно осуществить с любым (значит, и с нечетным) числом ветвей тока, и требуется только один генератор.

Схема коммутатора с 3 ветвями тока показана на рис. 43. К каждой ветви тока принадлежат два ферритовых сердечника. Сердечники, которые располагаются в верхнем ряду (с обозначением κ на рис. 43) сохраняют информацию, касающуюся выбора ветвей, а сердечники, находящиеся в нижнем ряду (с обозначением C), выполняют функции при записи этой информации. Генератор G , с одной стороны, выполняет задачу опроса, а с другой стороны, обеспечивает током выбранную ветвь. Сердечники ряда C получают токовое смещение (I_1), которое определяет стационарное состояние этих сердечников.

Рассмотрим работу коммутатора. Пусть вначале сердечник κ_1 находится в состоянии 1, а остальные - в состоянии 0. Первая (отрицательная на рис. 43) часть импульса генератора вынуждает сердечники ряда κ на переход $0 \rightarrow 1$. Так как сердечник κ_1 находится уже в состоянии 1, перемагничиваются только κ_2 и κ_3 . При этом в их обмотках w_2 индуцируется такое напряжение, которое запирает диоды D_1 , находящиеся в ветвях 2 и 3. Таким образом, ток генератора G проходит полностью через ветвь 1. Этим же током сердечник C_1 перебрасывается в состояние 1.

После цикла работы коммутатора следует дополнительный цикл. В течение этого цикла полярность импульса генератора меняется на противоположную (на рис. 43 - положительную). Под действием генератора сердечники ряда κ выполняют переход $1 \rightarrow 0$. Одновременно сердечник C_1 под действием смещения возвращается в состояние 0 и запрещает переход $1 \rightarrow 0$ сердечника κ_2 . Запрещающее действие передается с обмотки w_{C_2} на обмотку w_1 через цепь диодов D и Z . Таким образом, в конце дополнительного цикла все сердечники, за исключением κ_2 находятся в состоянии 0.

Цепь запрещения соответствует следующим условиям:

а/ она всегда заперта во время цикла работы;

б/ проводит во время дополнительного цикла только там, где сердечник в ряду C выполняет переход $1 \rightarrow 0$.

Эти условия можно обеспечить совместным применением обычного диода (D) и кремниевого стабилитрона (Z) так, как показано на рис. 43. Благодаря диодам, напряжение, появляющееся на обмотке w_1 , не может открыть цепь запрещения ни при переходе $0 \rightarrow 1$, ни при переходе $1 \rightarrow 0$ сердечников ряда κ . Таким образом можно избежать явления "частичной передачи информации в обратном направлении" [B15].

Обозначения расчета схемы

D_κ - средний диаметр ферритового кольца	см
S - площадь прямоугольного сечения кольца	см ²
t - время	мксек
τ - время перемагничивания	мксек
u - мгновенное значение напряжения	В
\bar{u} - среднее значение напряжения импульса	В
U - амплитуда идеального прямоугольного импульса и постоянное значение напряжения	В
ΔB - изменение индукции при полном переключении сердечника	Гс
R - сопротивление	ом
i - мгновенное значение тока	а
\bar{i} - среднее значение тока	а

I	- значение постоянного тока	а
H	- мгновенное значение напряженности магнитного поля	э
\bar{H}	- среднее значение напряженности магн. поля	э
H_0	- динамическая коэрцитивная сила	э
S_w	- коэффициент переключения сердечника	э.мксек
w	- намагничивающая обмотка; число витков	
n	- число ветвей тока.	

При расчете для обозначения числа витков принят тот же символ, что и для обозначения обмоток. Напряжения и токи отличаются индексами обмоток.

Величины, соответствующие переходу $0 \rightarrow 1$, обозначены одним штрихом ('), а величины, соответствующие переходу $1 \rightarrow 0$, обозначены двумя штрихами (").

Основные соотношения, исходные условия

Для расчетов использованы основные, известные из литературы, соотношения [B16, A34]:

$$\left(\frac{1}{\tau} \int_0^{\tau} u dt\right) \tau = \bar{u} \tau = w S \Delta B \cdot 10^{-2}, \quad /3.1/$$

$$\left(\frac{1}{\tau} \int_0^{\tau} H dt - H_0\right) \tau = (\bar{H} - H_0) \tau = S_w, \quad /3.2/$$

$$\bar{H} = \frac{1,256 w \bar{i}}{\pi D_K} = \frac{w \bar{i}}{2,5 D_K} \quad /3.3/$$

Основной проблемой считается расчет запрещающей цепи. Условием правильного выполнения запрещающего процесса является то, что запрещаемый сердечник в конце дополнительного цикла был в состоянии 1. С точки зрения надежности работы коммутатора было бы более выгодным, но более строгим требование, по которому запрещаемый сердечник во время дополнительного цикла постоянно оставался бы в состоянии 1. Это условие выполняется в том случае, если

$$i_2'' w_2 < i_1' w_1; \quad 0 < t < \tau''.$$

Для выполнения этого условия, прежде всего необходимо знать временные соотношения токов i_1' и i_2'' . Аналитическое приближение функций i_1' и i_2'' является достаточно сложным и приводит к значительному усложнению расчетов, поэтому выбран следующий путь:

а. В цепи опроса (w_2) ток ограничен сопротивлением R_2 .

Максимальная величина тока ($U_G = \text{const.}$)

$$i_{2M} = \frac{U_G}{R_2}. \quad /3.4/$$

б. Было проверено, при какой величине отношения i_{2M}' / \bar{i}_2' напряжение U_G еще остается приблизительно постоянным ($U_G' = U_G = \text{const.}$). Найденное значение:

$$\frac{i_{2M}'}{\bar{i}_2'} = 3. \quad /3.5/$$

в. В интересах надежности время запрещения τ_3 выбрано больше времени пере-
хода $1 \rightarrow 0$ сердечников ряда κ

$$\tau_3 = 1, 2\tau'' . \quad /3.6/$$

г. Было проверено, при каком значении $w_1 \bar{i}_1''$ получается удовлетворительное
запрещение, в данном случае, предполагая, что $\tau' < \tau'' < 2\tau'$ и $U_G'' = U_G' = \text{const}$. Найдено,
что при значении

$$w_1 \bar{i}_1'' = \frac{w_2 i_{2M}'}{2} = \frac{w_2 U_G'}{2R_2} \quad /3.7/$$

получается надежное запрещение (см. /3.4/).

д. Обеспечена возможность регулировки оптимального значения тока запреще-
ния.

Параметры расчета

Известные исходные данные для расчета:

- 1/ величины тока коммутации ($\bar{i}_\kappa = \bar{i}_s = \bar{i}_{C_1}$) и времени его прохождения (τ');
- 2/ величины нагрузки R_1 , через которую проходит \bar{i}_κ ;
- 3/ числа ветвей (n).

Выбираемые перед расчетом данные и величины:

- 1/ марка ферритового кольца (этим определяются величины S_w , ΔB , H_0 , D_κ);
- 2/ тип кремниевого стабилитрона (U_Z);
- 3/ величина импульсного напряжения U_G' ;
- 4/ время τ'' , соответствующее условию $\tau' \leq \tau'' \leq 2\tau'$;
- 5/ поперечное сечение ферритового сердечника (число колец);
- 6/ сопротивление R_D диодной цепи $D - Z$ (оценка).

В результате расчета имеем следующие параметры:

- 1/ число витков w_1 , w_2 , w_3 , w_{C_1} , w_{C_2} , w_{C_3} ;
- 2/ величину R_2 ;
- 3/ величину U_G'' ;
- 4/ величину тока смещения I_1 ;
- 5/ величину тока сброса I_0 .

В конце расчета надо проверить правильность выбора и в случае необходимости
провести расчет с новыми значениями выбираемых величин.

Определение данных элементов ряда κ

Основным условием работы коммутатора является то, чтобы в невыбранных ветвях
было $U'_s > U'_G$. Полагая значение $\kappa > 1$, получаем:

$$U'_s = \kappa U'_G . \quad /3.8/$$

Соответственно из исходного условия б:

$$U'_G - \bar{i}_2' R_2 \approx \text{const} . \quad /3.9/$$

Пренебрегая напряжением, падающим на обмотке w_2 неперемагничивающего сердечника, полу-

чим, что

$$U_2' = \frac{U_G' - \bar{i}_2' R_2}{n - 1}, \quad /3.10/$$

а на основании /3.4/, /3.5/ имеем

$$\bar{i}_2' = \frac{1}{3} \frac{U_G'}{R_2}. \quad /3.11/$$

Подставляя это значение \bar{i}_2' в /3.10/, имеем:

$$U_2' = \frac{2}{3} \frac{U_G'}{n - 1}. \quad /3.12/$$

Из /3.1/ и /3.8/ получается

$$w_2 = \kappa \frac{U_G' \tau' 10^2}{S \Delta B}, \quad /3.13/$$

а из /3.1/ и /3.12/

$$w_2 = \frac{2}{3(n - 1)} \frac{U_G' \tau' 10^2}{S \Delta B}. \quad /3.14/$$

Для определения величины w_1 исходим из условия, что при переходе $1 \rightarrow 0$ должно быть $U_1'' < U_2$. Полагая $0 < \alpha < 1$ имеем

$$U_1'' = \alpha U_2. \quad /3.15/$$

Принимая во внимание /3.1/ и /3.15/, имеем

$$w_1 = \alpha \frac{U_2 \tau'' 10^2}{S \Delta B}. \quad /3.16/$$

Среднее значение тока во время цикла работы из отношений /3.2/ и /3.3/:

$$\bar{i}_2' = \left(\frac{S_w}{\tau'} + H_0 \right) \frac{2,5 D_K}{w_2}, \quad /3.17/$$

значение сопротивления R_2 можно получить на основании /3.11/, /3.17/, и оно равно:

$$R_2 = \frac{U_G' w_2}{3 \left(\frac{S_w}{\tau'} + H_0 \right) 2,5 D_K}. \quad /3.18/$$

Исходя из принципа равенства площадей времени-напряжения, получаем, что

$$U_2'' = \frac{\tau'}{\tau''} U_2'. \quad /3.19/$$

Пренебрегая напряжением, появляющимся на обмотке w_2 запрещаемого элемента, имеем

$$U_G' = (n - 1) U_2'' + \bar{i}_2'' R_2. \quad /3.20/$$

На основании соотношений /3.2/, /3.3/, /3.10/, /3.18/ и /3.19/ получим из /3.20/ значение U_G'' , которое равно

$$U_G'' = \frac{\tau'}{\tau''} U_G' \left(1 + \frac{H_0}{3} \frac{\frac{\tau''}{\tau'} - 1}{\frac{S_w}{\tau'} + H_0} \right) . \quad /3.21/$$

Этим все неизвестные значения ряда k определены.

Определение данных элементов ряда C

Сердечники ряда C при запрешении перемагничиваются соответственно условиям постоянного напряжения, несмотря на то, что само перемагничивание происходит под действием постоянного тока смещения I_1 . Это легко доказывается из соображений, что

$$u_{C_3}'' = U_Z + \bar{i}_{C_3}'' R_D + u_1'' , \quad /3.22/$$

где U_Z - рабочее напряжение кремниевого стабилитрона,

\bar{i}_{C_3}'' - ток запрешения,

R_D - эквивалентное сопротивление цепи запрешения,

u_1'' - напряжение, возникающее на обмотке w_1 запрещаемого сердечника.

Оказывается, что практически

$$u_1'' \approx 0, \quad \bar{i}_{C_3}'' R_D \ll U_Z, \text{ и поэтому } u_{C_3}'' \approx U_{C_3}'' = \text{const.} \quad /3.23/$$

Совместное действие тока смещения и тока нагрузки (\bar{i}_{C_3}'') приводит к тому, что временные соотношения напряженности магнитного поля соответствуют перемагничиванию при постоянном напряжении. Применяя выражения /3.23/, соотношение /3.22/ можно переписать в следующей форме:

$$U_{C_3}'' = U_Z + \bar{i}_{C_3}'' R_D . \quad /3.24/$$

Принимая во внимание /3.1/, /3.7/ и то, что $\bar{i}_{C_3}'' = \bar{i}_1''$, из /3.24/ получим

$$U_{C_3}'' = \frac{w_{C_3} S \Delta B 10^{-2}}{\tau_3} = U_Z + \frac{w_2}{w_1} \frac{R_D}{R_2} \frac{U_G'}{2} ,$$

а затем (см. еще /3.6/)

$$w_{C_3} = \frac{1,2\tau''}{S \Delta B} \left(U_Z + \frac{w_2}{w_1} \frac{R_D}{R_2} \frac{U_G'}{2} \right) 10^2 . \quad /3.25/$$

Величина тока смещения определяется на основании /3.2/ и /3.3/. Можно записать, что

$$(\bar{\Sigma H}'' - H_0) \tau_3 = (\Sigma \bar{H}'' - H_0) \tau_3 = S_w , \quad /3.26/$$

$$\Sigma \bar{H}'' = \frac{w_{C2} \bar{I}_1}{2,5 D_K} - \frac{w_{C3} \bar{i}_{C3}''}{2,5 D_K} . \quad /3.27/$$

Из этих выражений с применением равенства $\bar{i}_{C3}'' = \bar{i}_1''$ и $\tau_3 = 1,2 \tau''$ получим, что

$$I_1 = \frac{2,5 D_K}{w_{C2}} \left[\frac{S_w}{1,2 \tau''} + H_0 + \frac{\bar{i}_1'' w_{C3}}{2,5 D_K} \right] . \quad /3.28/$$

Значение величины w_{C2} можно свободно выбирать с точки зрения практических удобств. Подставив значение \bar{i}_1'' по исходному условию г, получим дальше, что

$$I_1 = \frac{2,5 D_K}{w_{C2}} \left(\frac{S_w}{1,2 \tau''} + H_0 \right) + \frac{w_2 w_{C3}}{w_1 w_{C2}} \frac{U'_G}{2 R_2} . \quad /3.29/$$

Выражение /3.28/ можно разделить на две части:

$$I_M = \frac{2,5 D_K}{w_{C2}} \left(\frac{S_w}{1,2 \tau''} + H_0 \right) , \quad /3.30/$$

$$I_3 = \frac{w_{C3}}{w_{C2}} \bar{i}_1'' , \quad /3.31/$$

т.е.

$$I_1 = I_M + I_3 . \quad /3.32/$$

Из сказанного выше можно сделать следующие заключения:

- 1/ только в том случае получим ток запрещения, если $I_1 > I_M$;
- 2/ если $I_1 \gg I_M$, тогда $u_{C3}'' \approx U_Z$, и отсюда τ_3 мало зависит от значения I_1 .
- 3/ значения \bar{i}_1'' можно менять регулированием I_1 , при этом τ_3 в значительной мере не меняется. Регулировкой I_1 можно достигнуть оптимального значения \bar{i}_1'' .

Далее определим w_{C1} . Можно записать, что

$$(\Sigma \bar{H}' - H_0) \tau' = (\Sigma \bar{H}'' - H_0) \tau'' = S_w , \quad /3.33/$$

$$\Sigma \bar{H}' = \frac{\bar{i}'_{C1} w_{C1}}{2,5 D_K} - \frac{I_1 w_{C2}}{2,5 D_K} . \quad /3.34/$$

Из выражений /3.33/, /3.34/, применяя равенство $\bar{i}'_{C1} = \bar{i}_K$, где \bar{i}_K - ток коммутации (исходные данные), имеем, что

$$w_{C1} = \frac{2,5 D_K}{\bar{i}_K} \left(\frac{S_w}{\tau'} + H_0 \right) + \frac{I_1}{\bar{i}_K} w_{C2} . \quad /3.35/$$

Проверим правильность выбора U'_G . Нужно, чтобы

$$U'_G = \bar{u}'_{R1} + \bar{u}'_{C1} , \quad /3.36/$$

где

$$\bar{u}'_{R_1} = \bar{i}_K R_1, \quad /3.37/$$

и

$$\bar{u}'_{C_1} = \frac{w_{C_1} S \Delta B 10^{-2}}{\tau}, \quad /3.38/$$

Уравнение /3.36/ должно удовлетворяться в хорошем приближении.

Для сброса можно использовать ток смещения. Правильной выборкой w_{C_2} можно достигнуть такого значения I_1 , чтобы

$$(I_1 / 2,5 D_K) > 1,2 H_0.$$

В этом случае число витков обмотки сброса равно 1.

Схема разработанного коммутатора

На рис. 44 показана схема осуществленного коммутатора с 3 ветвями.

К коммутатору добавляется генератор, состоящий из двух частей. Первая часть генератора является блокинг-генератором (на транзисторе П16А), работающим в ждущем режиме, а вторая часть - формирователем (на транзисторе П601).

При расчете предполагалось, что форма импульса идеальна. В действительности это не так. В цикле работы форма импульса не прямоугольная, а трапециoidalная. Вследствие этого время перемagnичивания сердечников ряда С при переходе $0 \rightarrow 1$ меньше чем τ' . В связи с этим обстоятельством была необходима некоторая коррекция расчета.

Импульс для дополнительного цикла в данном случае получаем, используя магнитную энергию, накопленную в течение цикла работы в индуктивности выходного трансформатора формирователя. Форма импульса дополнительного цикла не соответствует условию $u''_2 = \text{const}$, но, удовлетворяя условию $u''_2 = U''_2$, коммутатор работает надежно.

На рис. 45а показана форма импульса, возникающего на сопротивлении R_1 . Как видно, на значительной части цикла работы коммутация удовлетворительна, а в конце цикла в некоторой степени ухудшается. Это явление объясняется с помощью рис. 45б, на котором показана форма импульса на обмотке w_2 . Как видно, в последней части цикла работы напряжение u'_2 падает, и вследствие этого напряжение u'_3 будет также уменьшаться.

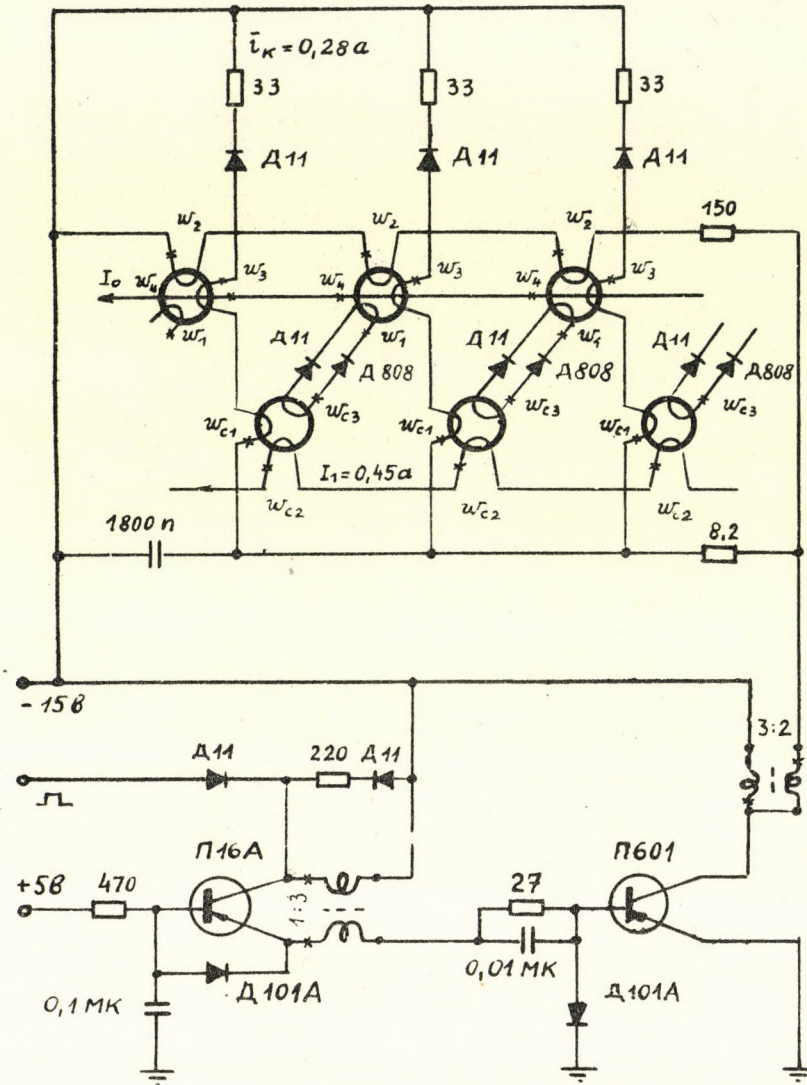
На рис. 45в показана форма u'_{C_2} . Видно, что время перемagnичивания $0 \rightarrow 1$ равно $1,8 \text{ мксек} < \tau' = 2,5 \text{ мксек}$ вследствие наличия времени нарастания и падения. Дальше видно, что условие $u''_{C_2} \approx \text{const}$ выполняется хорошо.

Данные ферритовых элементов приведены на рис. 44 снизу.

Схема коммутатора регистра считывания (с 12 ветвями) показана на рис. 46. Для этой схемы и для коммутаторов адресной системы был применен формирователь двуполярного типа, показанный на рис. 49.

3.5.5 Схема ключей системы выбора

На рис. 47 представлена схема ключей X - Y системы выбора (на рис. 26 эти ключи обозначены знаками S_X, S_Y). Как уже было сказано, с помощью пары ключей S_X, S_Y можно выбирать один из пяти направлений Z. Соответственно числу ключей к направлению X принадлежит 5 ферритовых элементов, а к направлению Y - 3 ферритовых элемента. Ферритовые элементы построены на кольцах с прямоугольной петлей гистерезиса. Каждая



Марка феррита ... К272
 Размер одного кольца ... 4x2,5x1,5 мм
 Число колец одного магнитного элемента: 8
 $w_1=6$ $w_2=6$ $w_3=25$ $w_4=1$
 $w_{c1}=7$ $w_{c2}=3$ $w_{c3}=16$

Рис. 44

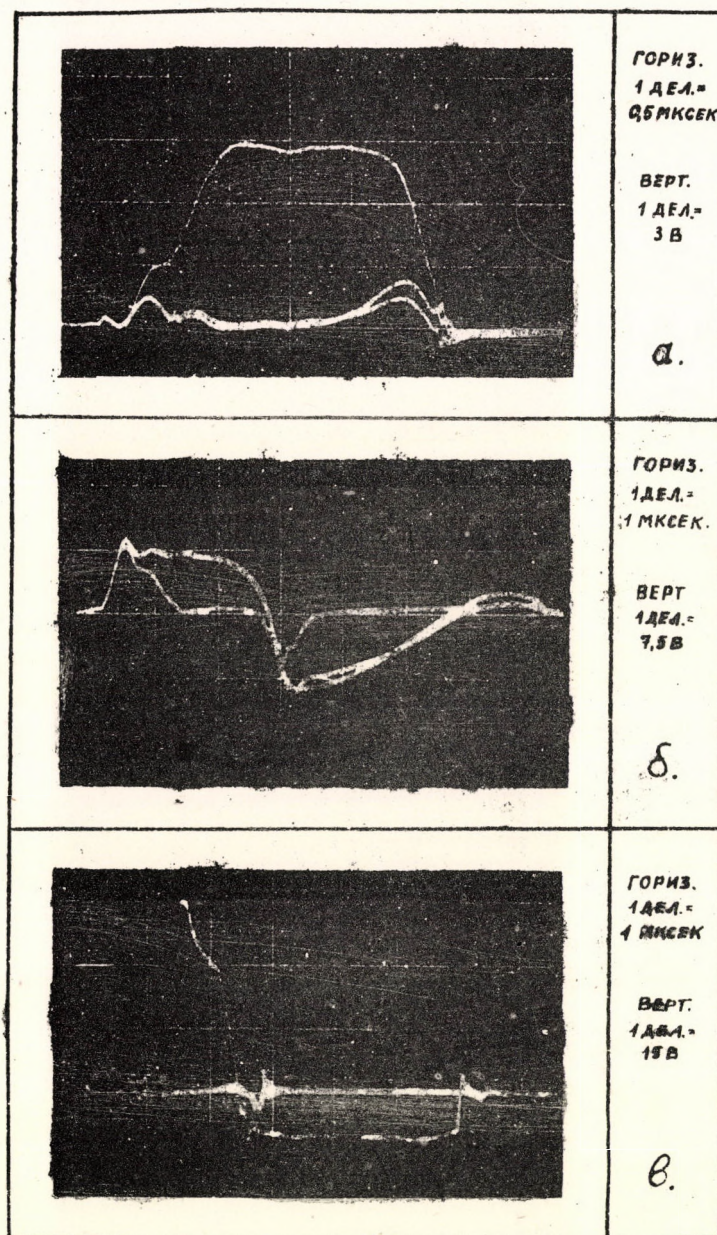


Рис. 45

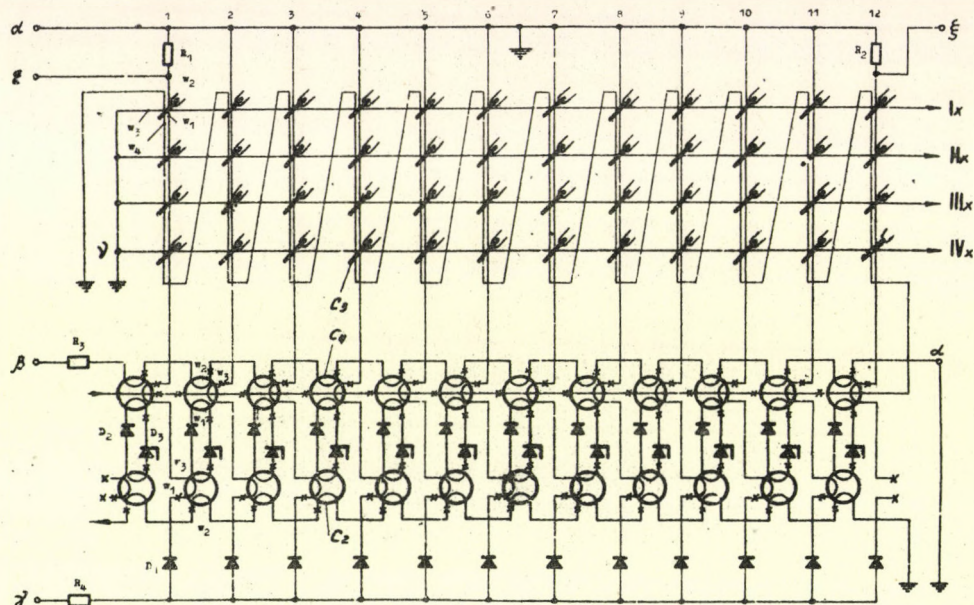


Рис. 46

шина направления Z проникает 8 координатных трансформаторов (соответствующих 8-и плоскостям).

Схема ключей работает по принципу распределителей тока инверсного типа (см. 3-5.4). При выборе одной из шин направления Z , прежде всего, получают импульс приготовления один из переключающих элементов направления X и один из переключающих элементов направления Y . При записи сигнал приготовления передается через цепь $э$, а при считывании - через цепь $сч$. Исходным состоянием элементов является 0. Это состояние определяется током смещения. Под действием импульса приготовления выбранные сердечники переключаются в состояние 1. С окончанием процесса переключения срабатывает формирователь спроса. Под действием импульса опроса перемагничиваются в состояние 1 и остальные сердечники рядов X и Y . В обмотках перемагничивающихся сердечников появляется напряжение такой полярности, что все диоды шин направления Z запираются кроме одного, принадлежащего к приготовленным элементам. Это обстоятельство объясняется тем, что в начале процесса опроса приготовленные сердечники находятся уже в состоянии 1, и, таким образом, в течение импульса опроса они не совершают перемагничивание. С некоторым запаздыванием, но еще во время процесса опроса, срабатывает формирователь тока координатного направления Z и этот ток проходит свободно через открытую ветвь (диод).

Приготовление магнитных переключающих элементов происходит с помощью адресных коммутаторов записи или считывания.

После полного цикла работы, под воздействием тока смещения, все сердечники системы ключей возвращаются в первоначальное состояние 0.

3-5.6 Быстродействующие формирователи

В ПЗУ применены быстродействующие формирователи разного типа, например, однополярные, двуполярные и т.д.

На рис. 48 показан формирователь однополярного типа. Формирователь состоит из ждущего блокинг-генератора, транзистор которого работает в схеме с общей базой и

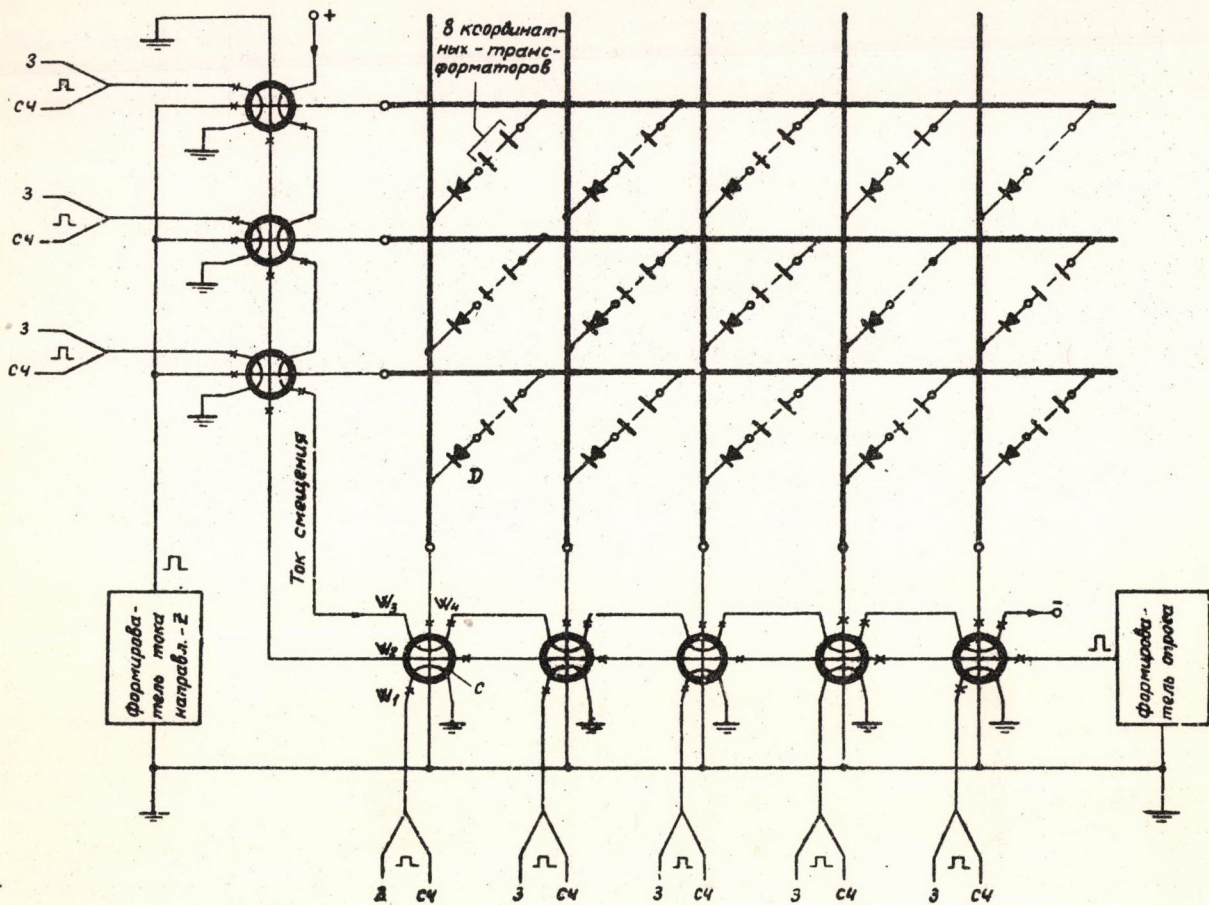


Рис. 47

мощного усилителя (T_2). Спусковой импульс передается на вход схемы через диод D_1 . Длительность выходного импульса определяется параметрами трансформатора $Tr1$, а также величиной сопротивления R_2 и емкостей C_2, C_3 .

На рис. 49 показана схема двуполярного формирователя, примененного для ферритовых коммутаторов. Схема отличается от предыдущей в том, что она содержит еще один ждущий блокинг-генератор (T_3) с усилителем (T_4). Первый блокинг-генератор (T_1) срабатывает под действием входного импульса и на выходе формирователя получается им-

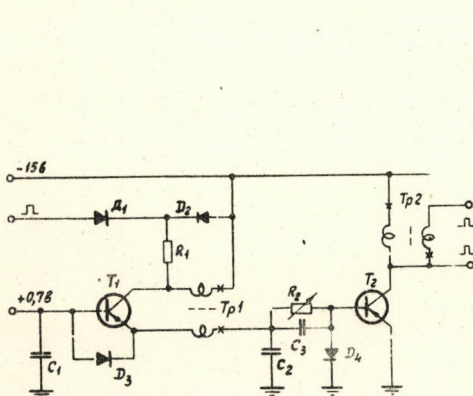


Рис. 48

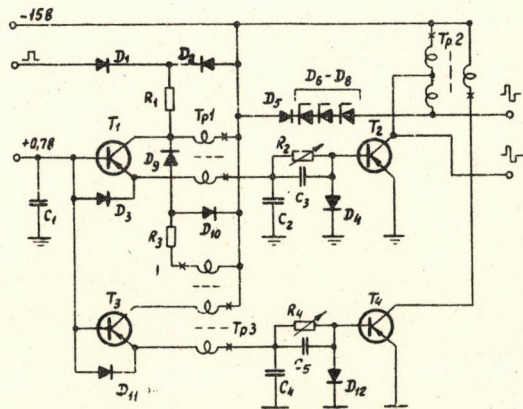


Рис. 49

пульс положительной полярности. Второй блокинг-генератор (T_3) запускается отрицательным выбросом заднего фронта импульса первого генератора и на общем выходе мощных усилителей (T_{p2}) появляется отрицательная часть двупольного импульса.

На рис. 50 приведена схема мощного формирователя импульсного тока. Исходная часть генератора такая же, как и схема рис. 48. Она дополняется источником тока (T_4) с переключателем (T_3). Величина тока источника определяется сопротивлением R_4 .

Формирователи производят импульсы с длительностью в пределах 1-3 мксек. Амплитуда напряжения 13-30 в, а амплитуда тока порядка 0,5-3 а. В случае необходимости было применено больше мощных выходных транзисторов, подключенных параллельно.

Время нарастания выходных импульсов формирователей составляет около 0,2 мксек, а длительность заднего фронта - 0,7 мксек.

Описанные формирователи используются в системе поразрядной записи, адресных пересчетных схемах, системе выбора блока памяти, при регистре считывания, а также токовыми формирователями блока памяти и т.д.

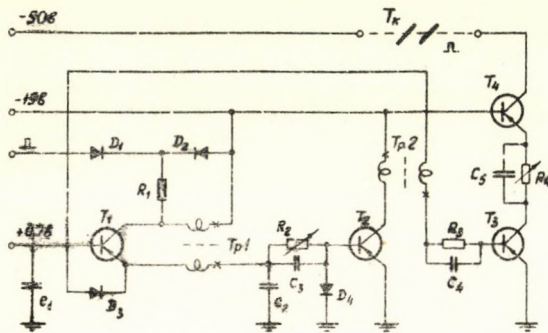


Рис. 50

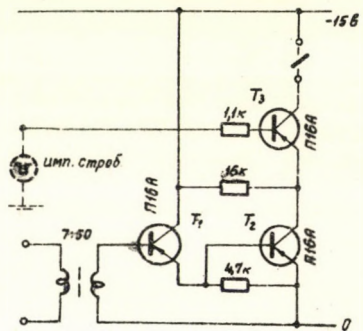


Рис. 51

3-5.7 Поразрядный усилитель с клапаном И

Поразрядный усилитель и клапан И представляют собой общую схему. Схема одной ячейки показана на рис. 51. Вход схемы подключается к базе транзистора T_1 через импульсный трансформатор, имеющий отношение чисел витков 1:7. T_1 работает эмиттерным повторителем. В цепи коллектора транзистора T_3 получается импульс тока только в том случае, если и на поразрядный вход (трансформатора) и на вход "имп. строб." одновременно поступают импульсы. Показанный в цепи коллектора транзистора T_3 сердечник является элементом матрицы регистра считывания.

3-5.8 Формирователи перфоратора

Схема формирователей перфоратора показана на рис. 52. Формирователь состоит из предварительного усилителя (T_1), ждущего мультивибратора (T_2, T_3) и выходного усилителя (T_4, T_5).

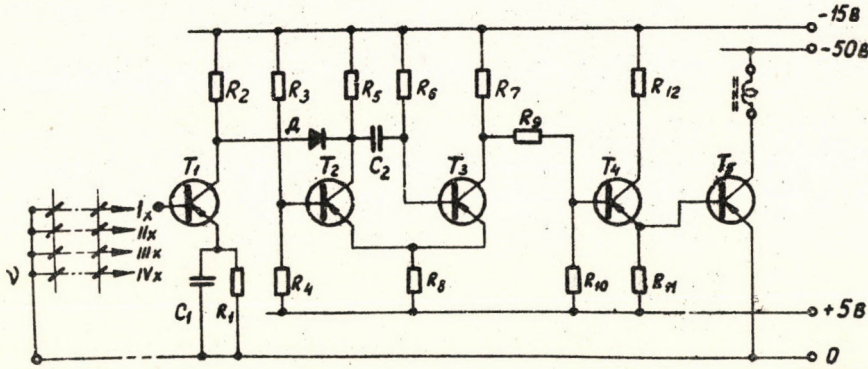
Шина считывания матрицы подключается непосредственно на базу T_1 . Амплитуда сигнала, появляющегося на выходной точке шины, равна 0,7 - 0,8 в. Импульс этой

амплитуды переключает транзистор T_1 в насыщение.

Выходной усилитель состоит из эмиттерного повторителя для усиления по току, а T_5 служит для усиления по напряжению и току.

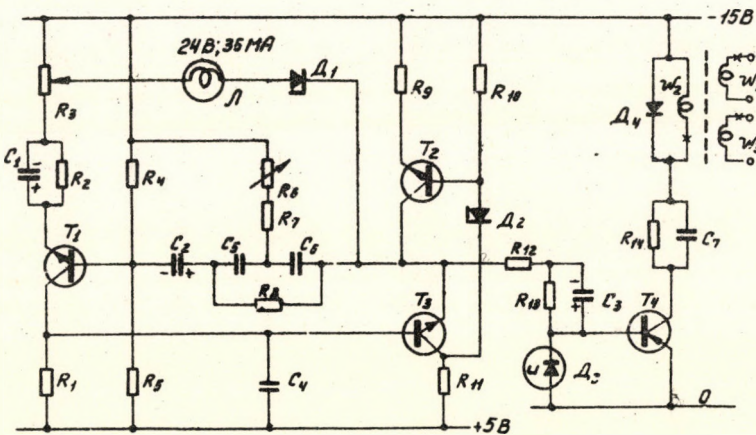
3-5.9 Тактовый генератор

Тактовый генератор состоит из синусоидального генератора (T_1, T_2, T_3) и Формирователя (D_3, T_4), как показано на рис. 53. Синусоидальный генератор является генератором T -образного мостового типа. Частота генератора соответствует рабочему



$R_1 \dots 220; R_2 \dots 5,6k; R_3 \dots 5,1k; R_4 \dots 560; R_5 \dots 3,3k; R_6 \dots 51k; R_7 \dots 1k; R_8 \dots 330; R_9 \dots 1,5k$
 $R_{10}, R_{11} \dots 5,6k; R_{12} \dots 510; C_1 \dots 0,05mK; C_2 \dots 0,5mK; D \dots ДН; T_1 - T_4 \dots П16Б; T_5 \dots П26$

Рис. 52



$R_1 \dots 10k; R_2 \dots 4,3k; R_3 \dots 220; R_4 \dots 47k; R_5 \dots 150k; R_6 \dots 560; R_7 \dots 3,3k; R_8 \dots 20k; R_9 \dots 510;$
 $R_{10} \dots 3,3k; R_{11} \dots 300; R_{12} \dots 510; R_{13} \dots 1,5k; R_{14} \dots 22k; C_1 - C_3 \dots 80mK; C_4 \dots 1800n; C_5, C_6 \dots 1mK;$
 $C_7 \dots 1000n; D_1 \dots Д809; D_2 \dots Д813; D_3 \dots Р2Г; D_4 \dots Д11; T_1 - T_3 \dots П103; T_4 \dots П16Б;$

Рис. 53

такту перфоратора. Синусоидальный генератор в основном, представляет собой двухкаскадный усилитель с положительной и отрицательной обратной связью. Частота генератора определяется параметрами T -образной мостовой цепи.

Лампочка L служит для стабилизации амплитуды. Кремниевые стабилитроны D_1, D_2 применяются вместо конденсаторов большой емкости. Применяемый эмиттерный повто-

ритель обеспечивает соответствующую трансформацию сопротивлений. Схема построена на $n-p-n$ кремниевых транзисторах, которые дают хорошую температурную стабильность.

Достоинство этой системы в том, что можно подстраивать ее частоту регулирования одного сопротивления (R_6). В случае необходимости величины емкостей конденсаторов C_5 , C_6 можно легко изменять переключателем и таким образом можно просто выполнить согласование устройства с выходными устройствами с разными скоростями.

Формирователь на туннельном диоде преобразует синусоидальную форму колебания в прямоугольную с крутыми фронтами. Дальнейшее формирование и усиление совершается транзисторным каскадом T_4 , на выходе которого получаются положительные однопольные импульсы микросекундной длительности (2 мксек). Эти импульсы подходят для управления формирователем коммутатора.

3-5.10 Запоминающая ячейка [B2]

Запоминающая ячейка ЗЯ является ждущим блокинг-генератором. В отличие от обыкновенных генераторов такого типа смещение генератора токово, что по отдельности его не могут запускать ни сигналы управления, ни сигналы тактового генератора. Импульс управления сохраняется на конденсаторе, напряжение которого вычитается из смещения. Таким образом, очередной импульс генератора после поступления управляющего импульса может включить блокинг-генератор, и импульс управления посылается к триггеру, управляющему воротами L_3 . Во время работы блокинг-генератора запоминающий конденсатор разряжается.

3-5.11 Источники питания.

На рис. 54 показана типичная схема стабилизаторов напряжения, примененных в ПЗУ. Стабилизатор обладает схемой защиты от перегрузки и короткого замыкания.

На рис. 55 приведена схема одного из стабилизаторов тока ПЗУ.

Схемы не требуют особого объяснения.

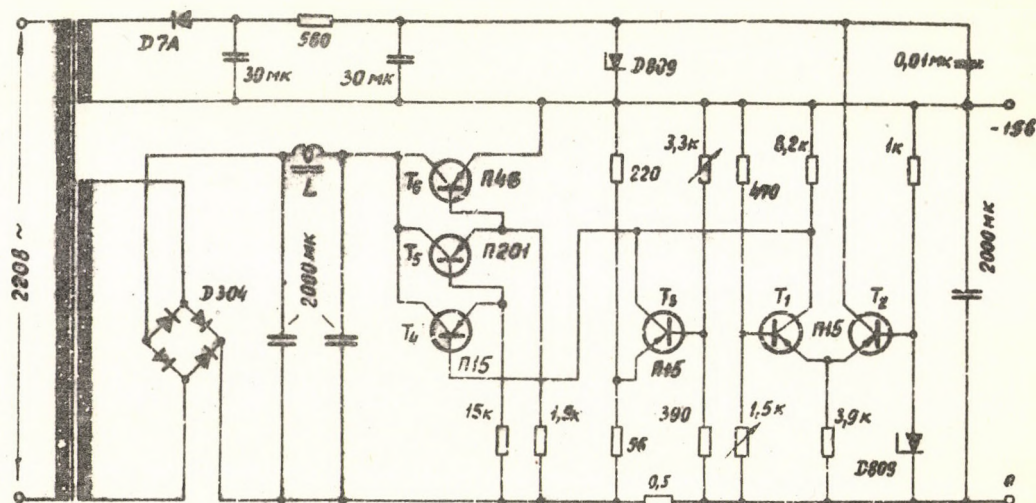


Рис. 54

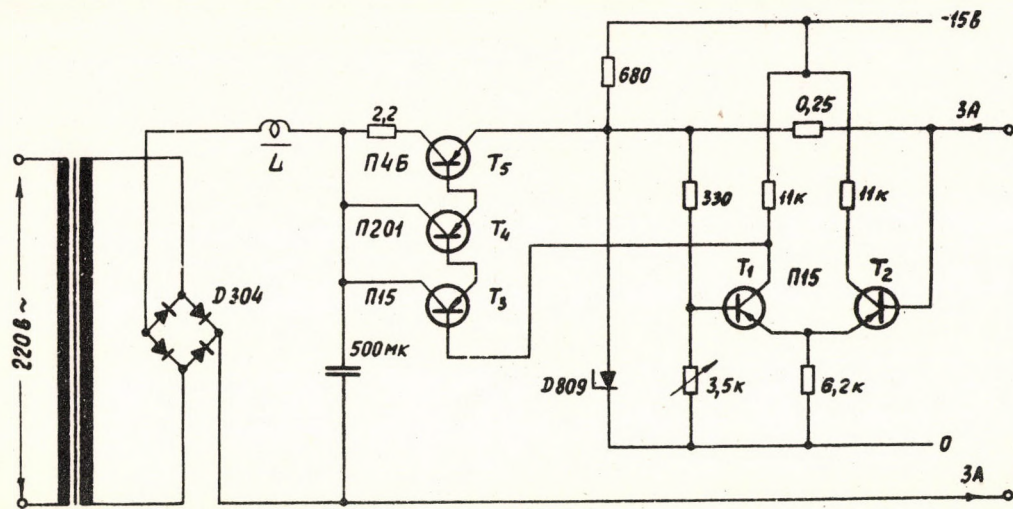


Рис. 55

4 СИСТЕМА ПРОВЕРКИ ПЗУ

Блок-схема системы проверки показана на рис. 56. При эксплуатации устройства переключатели K_1 и K_2 находятся в позиции 1, входы ПЗУ подключаются к источнику информации, а выходы его - на перфоратор.

Профилактическая проверка ПЗУ осуществляется двумя различными способами:

- 1/ внешним контролем и
- 2/ внутренним контролем.

В первом случае переключатель K_1 ставится в позицию 2, а во втором - в позицию 3. И при внешнем и при внутреннем контроле переключатель K_2 находится в позиции 2.

4-1 Внешний контроль

Система внешней проверки дает возможность контроля работы ПЗУ в целом. При этом с помощью внешнего генератора подаются сигналы на входы ПЗУ. Появляющимся на входы сигналам соответствует определенный набор выходных сигналов. Внешний контроль работы ПЗУ заключается в том, чтобы проверить согласование выходных сигналов со входными.

4-1.1 Внешний контроль одиночными импульсами

В позиции 2 переключателя K_1 генератор G работает в авторежиме с частотой 5 гц. Если переключатель K_1 ставится в позицию 1, с выхода формирователя ϕ_1 появляются одиночные импульсы с длительностью 2 мксек и с частотой следования 5 гц.

Переход импульсов на входы ПЗУ возможен только в период проверки, потому что ворота B закрыты. Процесс контроля начинается с нажимом кнопки K_5 . Затем через блок согласования ИМП.ТР. и задерживающий элемент ЛЗ поступает импульс на вход 1 триггера Тр. Он переворачивается в состояние 1 и отпирает ворота B . Через ворота B передаются импульсы формирователя ϕ_1 на мощный формирователь ϕ_2 . Сигналы этого формирователя поступают, с одной стороны, на входы ПЗУ, а с другой стороны, на вход пересчетной схемы ПС.

В позиции 1 переключателя K_2 импульсы поступают на "нечетные поразрядные входы" ($Bx1, Bx2, \dots$), а в позиции 2 этого переключателя - на "четные поразрядные входы" ($Bx2, Bx4, \dots$). В первом случае получаем импульсы на выходах I, III (на II, IV - нет), а во втором случае - на выходах II, IV (на I, III - нет) при каждом такте выхода информации.

Блок АС на рис. 56 является системой совпадений-антисовпадений, которая принимает одновременные сигналы выходов I, II, III, IV, VI.

Легко понять, что в зависимости от позиций K_3 и K_6 механический счетчик должен регистрировать либо число 0, либо число $(12n)$, где n обозначает число происшедших процессов считывания.

Частота генератора G - по сравнению с частотой тактового генератора ПЗУ выбрана таким образом, что за данный отрезок времени происходит большее число записей, чем считываний, следовательно, через некоторое время ПЗУ заполнится. С наступлением этого состояния дифференциальная пересчетная схема ПЗУ подает импульс на вход 0 триггера Тр. Триггер этот переворачивается в первоначальное состояние 0 и запирает ворота В. На этом процесс проверки заканчивается.

В результате проверки получается число N_1 , показываемое пересчетной схемой ПС, и число N_2 , показываемое механическим счетчиком (МЕХ.СЧЕТ.). При правильной работе ПЗУ эти числа должны соответствовать следующим условиям:

$$N_2 = 0 \quad /4.1/$$

или

$$N_2 = 12n = 12(N_1 - 120) \quad /4.2/$$

в зависимости от позиций переключателей K_3 и K_6 . Результаты, отличающиеся от /4.1/ или /4.2/, показывают сбой устройства.

4-1.2 Внешний контроль двойными импульсами

Входная система ПЗУ должна обладать мертвым временем 10 мксек. Правильность наладки входной системы проверяется той же самой системой, которая была использована в 4-1.1 но с двойными импульсами.

В позиции 2 переключателя K_4 на выходе ϕ_1 получаются двойные импульсы с промежутком 8 мксек, а в позиции 3 - с промежутком 12 мксек (5 гц).

В результате проверки двойными импульсами с промежутком 8 мксек должны получиться следующие соотношения между числами, показываемыми на счетчиках:

$$N_2(8) = 0, \quad /4.3/$$

или

$$N_2(8) = 12n = 12\left(\frac{N_1(8)}{2} - 120\right) = 12(N_1 - 120). \quad /4.4/$$

Отношение /4.4/ подразумевает то, что при правильной наладке мертвого времени ПЗУ вторые импульсы двойки хотя и считываются пересчетной схемой ПС, но записи они не производят.

При проверке импульсами с промежутком 12 мксек действительны те же самые соотношения /4.1/ и /4.2/, так как в этом случае каждый импульс производит запись:

$$N_2(12) = 0, \quad /4.5/$$

или

$$N_2(12) = 12(N_1(12) - 120). \quad /4.6/$$

Что касается соотношений /4.2/ и /4.6/, то следует подчеркнуть, что $N_1(12) \neq N_1$ и $N_2(12) \neq N_2$, потому что времена проверки неодинаковы, что вполне понятно.

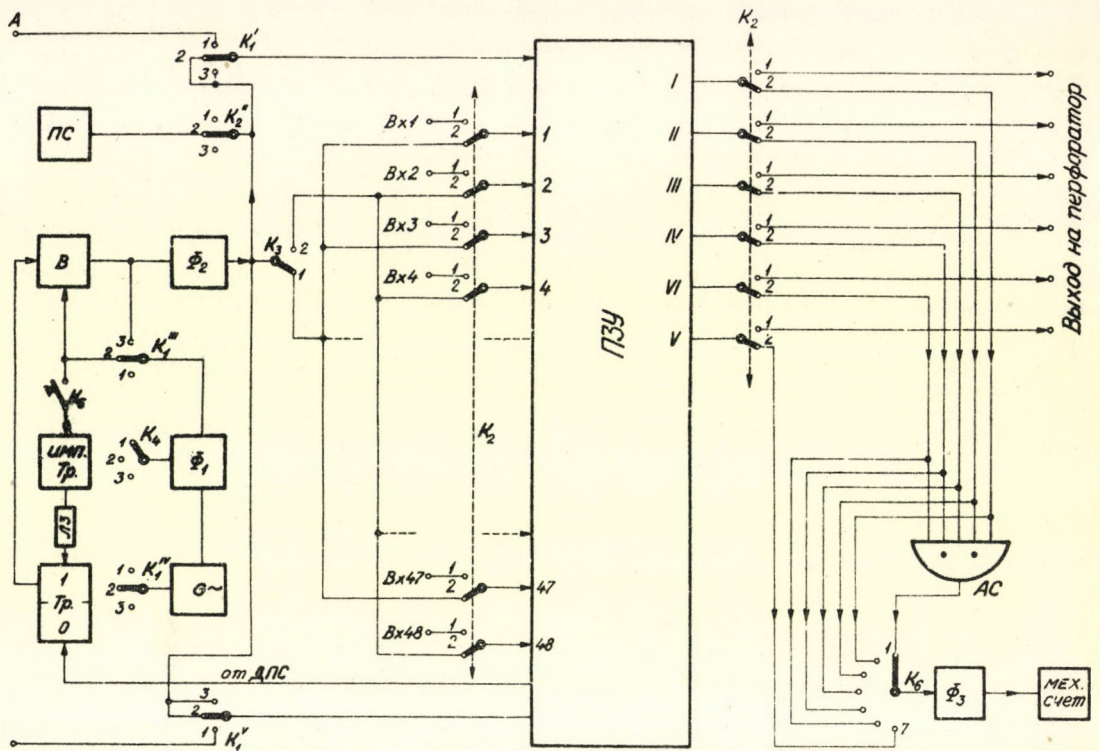


Рис. 56

4-2 Внутренний контроль

В позиции 3 переключателя K_1 выходные схемы ПЗУ отключаются, и остается в работе лишь быстродействующая часть. Генератор G - с формирователями Φ_1 и Φ_2 выдает импульсы с частотой следования 1 кГц. С помощью переключателя K_4 можно подать на вход ПЗУ одиночные или двойные импульсы и в этом случае.

В течение внутренней проверки процессы записи и считывания повторяются непрерывно с частотой 1 кГц. При этом форму импульсов, появляющихся в цепях быстродействующей части ПЗУ, можно проверить встроенным в систему осциллографом. Совместно с осциллографом применяется переключательная система, с помощью которой быстро просматривается работа этой части. Для нормализации амплитуд импульсов встроены делители.

Принципиальная схема осциллографа приведена на рис. 57. Схема выполнена на триодах с большей крутизной. Время нарастания вертикального усилителя (L_1, L_2, L_3) составляет 0,15 мксек, а его чувствительность равна 100 мВ/см. Величина этих параметров удовлетворяет требованиям.

Генератор развертки (L_5, L_6) работает в ждущем режиме. Синхронизирующие импульсы поступают на вход генератора через усилитель (L_4). Генератор развертки дополнен горизонтальным усилителем (L_7, L_8) первый каскад которого является схемой "бутстреп" обеспечивающей линеаризацию временного хода импульса генератора.

Система переключателей и делителей осциллографа на рис. 56 и 57 не показана.

Переключатели внешней и внутренней контрольной системы позволяют легко сменить режим ПЗУ с рабочего состояния на проверку. Время проверки - не больше нескольких минут. Таким образом всегда можно осуществить проверку перед эксплуатацией ПЗУ, чем повышается надежность работы устройства.

Следует заметить, что система проверки дает возможность не только простого профилактического контроля, но и быстро разграничивает место сбоя.

5 ИСПЫТАНИЕ ИМПУЛЬСНЫХ СВОЙСТВ ПОЛУПРОВОДНИКОВЫХ ДИОДОВ В ФЕРРИТ-ДИОДНЫХ СХЕМАХ (Приложение)

В связи с проектированием ПЗУ необходимо было произвести выбор диодов для разных переключательных схем. Выбор диодов с этой точки зрения затруднителен потому что, в общем случае, их импульсные свойства в справочниках определены неудовлетворительно. Кроме этого во время проектирования ПЗУ отсутствовали специальные мощные диоды для переключения импульсных токов порядка ампера, появляющихся в отдельных схемах ПЗУ. По этой причине был разработан простой метод для испытания импульсных свойств диодов, который позволяет выбор годных типов и отбор подходящих экземпляров соответственно условиям данной задачи.

5-1 О б о з н а ч е н и я

D_k - средний диаметр ферритового кольца	см
S - площадь прямоугольного сечения кольца	см ²
t - время	мксек
τ - время перемагничивания	мксек
u - мгновенное значение напряжения	в
\bar{u} - среднее значение напряжения импульса	в
ΔB - изменение плотности потока при полном переключении сердечника	гс
R - сопротивление	ом
\bar{i} - среднее значение тока	а
H - мгновенное значение напряженности магнитного поля	э
\bar{H} - среднее значение напряженности магнитного поля	э
H_0 - динамическая коэрцитивная сила	э
S_w - коэффициент переключения сердечника	э.мксек
w - число витков	

5-2 Соотношение между временем переключения и напряжением на клеммах ферритового элемента

Ферритовые элементы с прямоугольной петлей гистерезиса в общем случае перемагничиваются из одного устойчивого состояния в другое либо импульсом постоянного тока,

либо импульсом постоянного напряжения. В обоих случаях действительно следующее соотношение:

$$\int_0^{\tau} u dt = w S \Delta B 10^{-2}, \quad /5.1/$$

или, записывая иначе:

$$\tau \left(\frac{1}{\tau} \int_0^{\tau} u dt \right) = \tau \bar{u} = w S \Delta B 10^{-2} \quad /5.2/$$

откуда получим, что

$$\tau = \frac{w S \Delta B 10^{-2}}{\bar{u}} \quad /5.3/$$

В случае определенного элемента величина ($w S \Delta B$) является постоянной, и, таким образом, время переключения зависит только от \bar{u} .

В случае источника с импульсом постоянного напряжения время переключения получается тем меньше, чем больше напряжение на клеммах ферритового элемента приближается к напряжению импульса.

В том случае, когда ферритовый элемент подключается на генератор непосредственно, напряжение на его клеммах, естественно, равно напряжению источника. Но в большинстве случаев последовательно с ферритовыми элементами включаются другие элементы, и напряжение, падающее на этих элементах, вычитается из напряжения источника.

Интеграл по времени падения напряжения на последовательных элементах является площадью напряжения - времени, которая вычитается из интеграла выражения /5.2/, и вследствие этого уменьшается среднее значение напряжения. Поэтому в случае заданного напряжения импульса время переключения нарастает. Одна из основных проблем в ферритовых схемах состоит в том, чтобы довести до минимума эти потери площадей.

5-3 Потери площадей, вызванные переключающими диодами

Неправильный выбор переключающих диодов может явиться причиной значительных потерь площадей напряжения-времени в феррит-диодных схемах, и поэтому важно знание импульсных свойств диодов в прямом направлении.

Как известно из литературы, импульсные свойства диодов в прямом направлении характеризуются следующими параметрами:

- 1/ прямым сопротивлением в момент включения,
- 2/ установившимся прямым сопротивлением,
- 3/ временем установления прямого сопротивления.

Эти параметры измеряются с применением источника импульса постоянного тока. Использование этих данных при расчете потерь площадей в тех случаях, когда ферритовые элементы перемагничиваются импульсом постоянного напряжения, приводит к усложнению расчетов, поэтому является целесообразным введение такого параметра на потерю площади, который имеет непосредственную связь с заданной задачей.

Пусть площадь импульса постоянного напряжения S_1 , а потеря площади на диоде-

$-S_D$. Для характеристики диода можно ввести отношение.

$$\kappa = \frac{S_D}{S_z} \quad /5.4/$$

которое представляет собой относительную меру потери площади, вызванной диодом. Но κ является параметром, который зависит от свойств схемы, содержащей диод. Знание величины κ будет полезным только в том случае, если измерение κ связано со свойствами феррит-диодной схемы, в которой применяется диод. Эту связь можно осуществить с помощью эквивалентной схемы ферритового элемента.

5-4 Эквивалентная схема ферритового элемента

Во время измерения величины κ предполагается, что характеристики применяемого ферритового элемента известны (S , D_K , S_w , H_0 , ΔB , и τ). На основании соотношения, известного из литературы [В16]

$$\left(\frac{1}{\tau} \int_0^\tau H dt - H_0\right)\tau = (\bar{H} - H_0)\tau = S_w, \quad /5.5/$$

с одной стороны, можно рассчитать среднее значение тока, проходящего во время переключения, равное

$$\bar{i} = \frac{2,5D_K}{w} \left[\frac{S_w}{\tau} + H_0 \right], \quad /5.6/$$

а, с другой стороны, из соотношения /5.3/ получим среднее значение напряжения, появляющегося на клеммах ферритового элемента

$$\bar{u} = \frac{wS\Delta B}{\tau} 10^{-2}. \quad /5.7/$$

Из соотношений /5.6/ и /5.7/ можно дать определение эквивалентного сопротивления ферритового элемента R_e . Получим, что

$$R_e = \frac{w^2 S \Delta B 10^{-2}}{2,5D_K (S_w + H_0 \tau)}. \quad /5.8/$$

Выражение /5.8/ можно преобразовать следующим образом:

$$R_e = \frac{w^2 S \Delta B}{2,5D_K S_w} \left(1 - \frac{H_0}{\bar{H}}\right) 10^{-2}. \quad /5.9/$$

Видно, что значение эквивалентного сопротивления зависит от H_0/\bar{H} . При предельном переходе $(H_0/\bar{H}) \rightarrow 0$ получим величину, характеризующую ферритовый элемент:

$$R_{\phi} = \lim_{(H_0/\bar{H}) \rightarrow 0} R_e = \frac{w^2 S \Delta B 10^{-2}}{2,5D_K S_w} \quad /5.10/$$

Из сказанного следует, что ферритовый элемент можно заменить сопротивлением, величина которого равна R_e и на клеммы которого за время τ подано напряжение \bar{u} , определяемое соотношением /5.7/. В случае $\bar{H} \gg H_0$ можно пользоваться приближением $R_e = R_{\phi}$.

Потеря площади в реальных условиях может быть получена с хорошим приближением, если диод испытывать, по измерительной схеме, показанной на рис. 58. Последовательно с диодом включено омическое сопротивление R , значение которого выбрано так, что $R = R_e$. Длительность импульса равна τ , а величина его может быть изменена так, что на сопротивлении R напряжение будет равно $\approx \bar{u}$. При установлении этого напряжения не требуется точности, большей ± 10 процентов, потому что в этих пределах отношение S_D/S_i меняется несущественно.

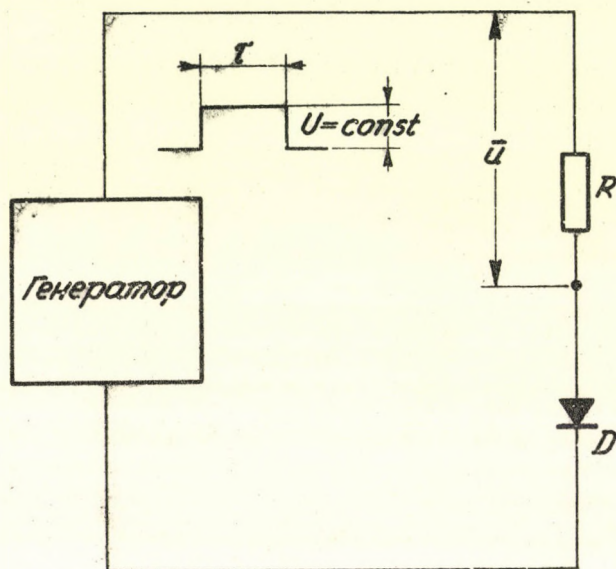


Рис. 58

Измерения \bar{u} (то есть площади под кривыми напряжения) можно легко произвести с помощью двухлучевого осциллографа. На рис. 59 показаны кривые, полученные в результате такого измерения. На рис. 59а показана форма импульса генератора, на рис. 59б — падающее на диоде напряжение и на рис. 59в — обе кривых вместе. Значение κ можно получить планиметрированием площадей под кривыми а/ и б/. Масштабы рисунка 59 и 60:

1 вертикальное деление = 4 в,

1 горизонтальное деление = 0,5 мсек.

Величина эквивалентного сопротивления $R = 17$ ом. Расчет площадей с помощью координатной сети осциллографа удовлетворяет практическим требованиям. Из кривых 59-го рисунка было получено значение $\kappa = 0,26$.

На рис. 60 показан ряд осциллограмм напряжений на диодах в прямом направлении. При измерениях импульсное напряжение генератора и величина сопротивления R были те же самые (рис. 59а и $R = 17$ ом).

В столбце А рис. 60 находятся кривые диодов, отличающихся большей потерей площади, в столбце Б — кривые диодов среднего сорта, а в столбце В — кривые для лучших экземпляров. На основании снимков рис. 59а и 60 можно рассчитать значение κ приведенных диодов.

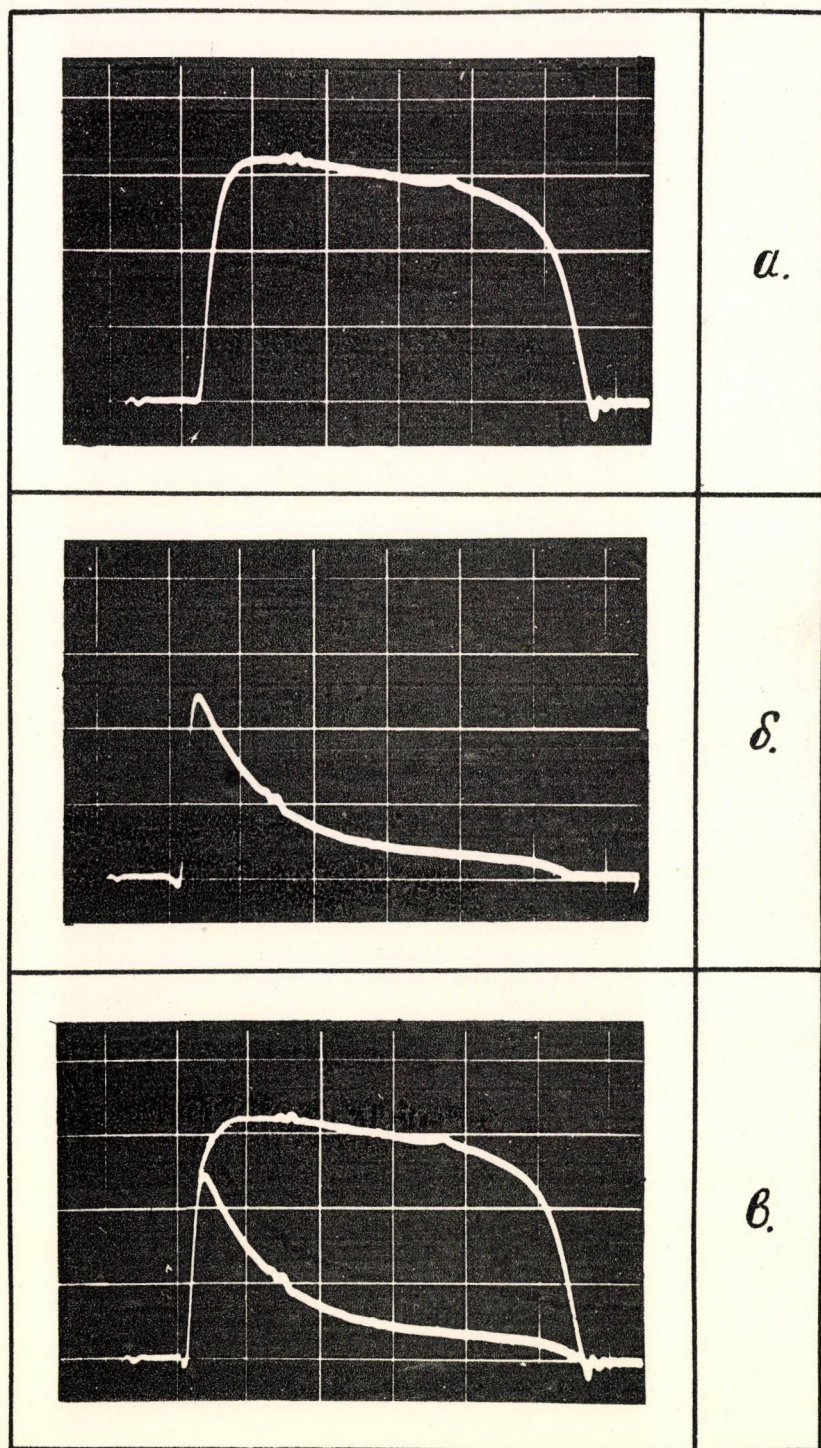


Рис. 59

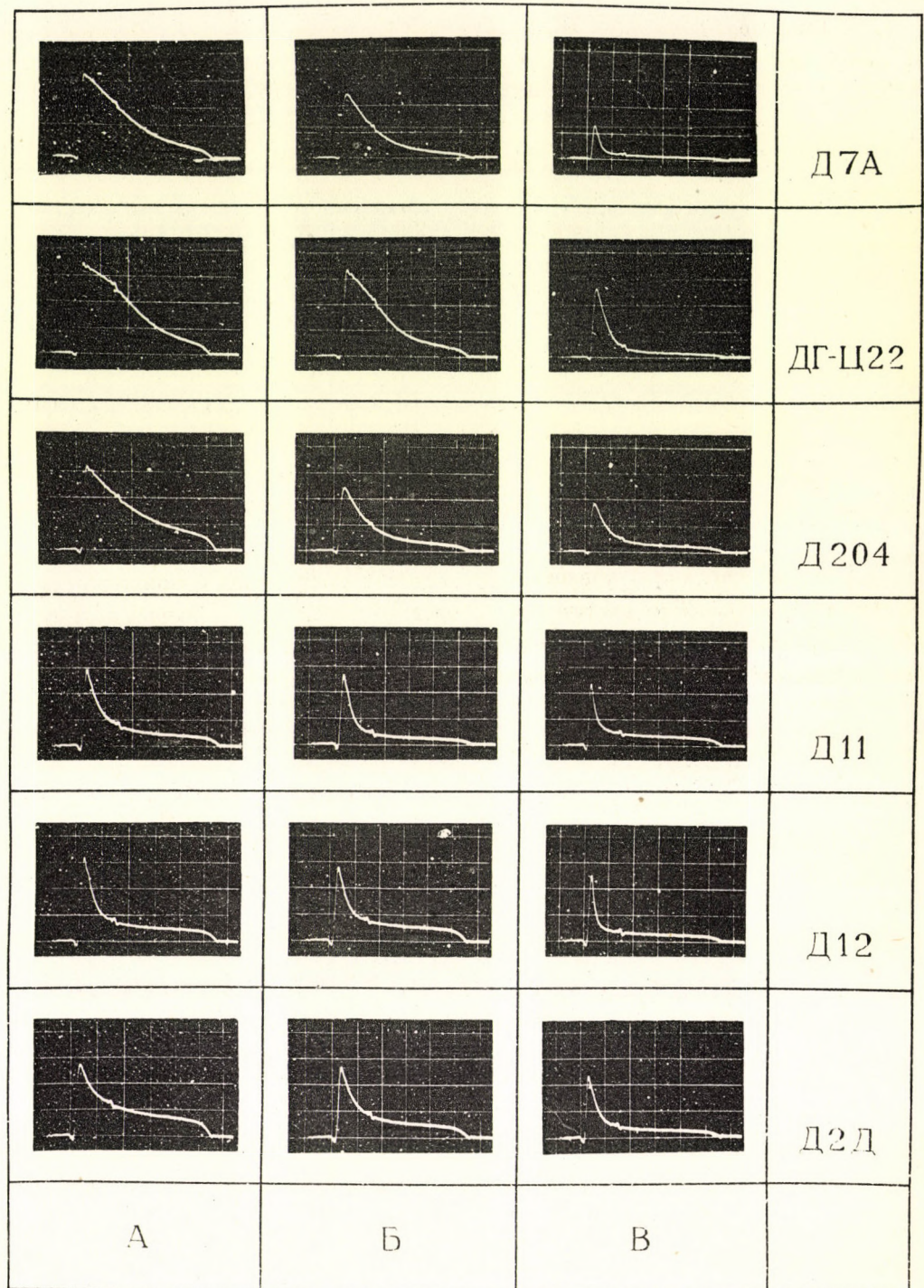


Рис. 60

Было проверено 302 экземпляра диодов разных типов. Результаты измерений сведены в таблицу 1.

Количество		$\kappa \leq 0,2$
Д7А	185	17,7 %
Д7В	20	0,0 %
Д7В	16	31,0 %
Д7Г	15	13,3 %
Д7Ж	15	13,3 %
Д7Ц (разные)	50	6,0 %

Данные таблицы 1 представляют некоторые сведения о возможностях диодов, но не позволяют делать общие заключения вследствие небольшого количества диодов.

Следует заметить, что в случае последовательного включения ферритовых элементов эквивалентную схему надо заменить суммой отдельных эквивалентных сопротивлений.

ЛИТЕРАТУРА

Список А

- [1] *Zimann G.C.*, Brit. Communic. and Electr., July, 1963, 538.
- [2] *Goda B., Markowitz S., Jacobi E.*, Computers and Automation, August, 1958, 12.
- [3] *Amram Y.*, L'Onde Electronique N. 422, mai, 1962, 460-465.
- [4] *Kandiah K.*, Symposium on Nuclear Instruments, Harwell, Sept. 1961, 168.
- [5] *Wells F.H., Hooton I.N., Page F.G.*, Journal Brit. I.R.E., October 1960, 749.
- [6] *Kirsten F.A., Mack D.A.*, Conference Proc. Belgrade, 12-20 May 1961, Vol. II. 127.
- [7] *Waters J.R., Bird J.R.*, Nucleonics, March 1961, 70-75.
- [8] *Roberts A., Rockwood C.*, Conf. Proc. Belgrade, 15-20 May, 1961, Vol. II. 111.
- [9] *Gianelli A.*, Conf. Proc. Belgrade 15-20 May, 1961, Vol. II. 49.
- [10] *De Agostino E., Turko B.*, Proc. Internat. Symposium, Paris, 25-27 November 1963, 513.
- [11] *Leng J., Pearson A.*, Proc. Internat. Symposium, Paris, 25-27 November 1963, 519.
- [12] *Collinge B., Marciano F.*, Nuclear Instruments and Meth., 16, /1962/, No. 2, 145.
- [13] *Hooton I.N.*, AERE-R3422, 1960, Harwell.
- [14] *Alexander T.K., Leng J.*, CREL-1036, AECL-1322. Chalk River.
- [15] *Higinbotham W.A., Potter D.W.*, IRE Transact. Vol. NS-8, July, 1961, No. 3, 51-56.
- [16] *Evans F., Kirsten F.A.*, Nuclear Instrum. and Methods, 12 /1961/, No. 1, 39-42.
- [17] *Boucherie A.*, Proc. of the Internat. Symposium, Paris, 25-27 November, 1963, 409.
- [18] *Amram Y., Guillon H., Tandardini D.*, Conf. Proc., Belgrade, 15-20 May, 1961, Vol. II. 91-100.
- [19] *Whitehead C., et al.*, Proc. Internat. Symp., Paris, 25-27 November, 1963, 379.
- [20] *Illenberger K., Ohmann F.*, Elektronische Rechenanlagen, Februar 1960, 16-22.
- [21] *Byington P., Johnstone C.*, IRE Nat. Convent. Record, Part 10, 1955, 204.
- [22] *Cunningham J.*, Natl. Bur. Standards Rept. No 3258, April, 1954.
- [23] *Reaves J.*, Nuclear Instr., Vol. 2, 136, 1958.
- [24] *Costrell L., Brueckmann R.E.*, Conf. Proc. Belgrade, 15-20 May, 1961, 29.
- [25] *Elmore W.C.*, Nucleonics, Jan., 1950, 26.
- [26] *Kelly G.G.*, Methods of Experimental Physics, Vol. 2, 519, Academic Press New York, London, 1964.
- [27] *Bell R.E.*, Canadian Journal of Physics, Vol. 34, 1956, 563.
- [28] *Alexandre B., Antier G., Grunberg G.*, Proc. of the Internat. Symposium, Paris, 25-27 November, 1963, 657.
- [29] *Leroy Jounker E.*, IRE Transaction on Electronic Computers, March 1957, 14-20.
- [30] *Maeder D.*, Methods of Experimental Physics, Vol. 2. p. 583. Academic Press New York, London 1964.
- [31] *Gianelli G.*, Proc. of the Conference on Nuclear Electronics, Belgrade, 15-20 May 1961, Vol. 2, 49.

- [32] *Shuji Fukui et al.*, Japanese Journal of Applied Physics, Vol. 3, 1964, No. 7, 400.
- [33] *Scott N.R.*, Analog and Digital Computer Technology, p. 470, McGraw-Hill, 1960.
- [34] *Meyerhoff A.F.*, Digital Applications of Magnetic Devices, John Wiley and Sons, 1960.
- [35] *Karnaugh M.*, Proc. IRE, May 1955, p. 570.
- [36] *Rajchman F.A., Crane H.D.*, IRE Trans. Electr. Comp., March 1951. p. 21.
- [37] *Fishmann F.A.*, Electronic Engineering, Vol. 29 /1957/, p. 546.
- [38] *Kalthoff M.*, Elektronische Rundschau, Nr. 6 /1960/, s. 240-245.
- [39] *Andrews H.J.*, The Proc. IEE, Part B. No. 43. Jan. 1962, pp. 84-90.

Список В.

- [1] Жуков Г.П. и др. Препринт № 1127, Дубна.
- [2] Воронков А.Е. и др. Передовой научно-технический и производственный опыт. Москва, 1957, тема 41 № П-57-16/1.
- [3] Маталин Л.А. и др. Доклады конференции по ядерной электронике, Вельград, 12-20-ого мая 1961. Том II. 121.
- [4] Жуков Г.П., Забиякин Г.И., Ибаев В.Д., Итраних И.В., Доклады конференции по ядерной электронике, Вельград, 12-20-ого мая 1961, том II. 61.
- [5] Барилко Ш.И., Зарецкий А.А., Препринт ОИЯИ № 1301, Дубна 1963.
- [6] Маталин Л.А., Пиманский А.М., Чубаров С.И., Итраних И.В., ПТЭ, № 3, 1960, 54-62.
- [7] Иванов А.А., Маталин Л.А., ПТЭ, № 2, 1963, 81-85, Труды пятой научно-технической конференции по ядерной радиоэлектронике. Часть 1. том II. стр. 59. Госатомиздат, 1963.
- [8] Забиякин Г.И., Ососков Г.А., Препринт ОИЯИ № 1140, Дубна, 1962.
- [9] Забиякин Г.И., Ососков Г.А., Доклады симпозиума по ядерной электронике. Париж, 25-27-ого ноября 1963 г., 569.
- [10] Журзевлев В.Е., Забиякин Г.И., Ососков Г.А., Препринт ОИЯИ, № 1365, Дубна, 1963.
- [11] Мирнов Г.А., Испытательные программы для контроля электронных цифровых машин. Издательство Наука. Москва 1964.
- [12] Итраних И.В., Труды пятой научно-технической конференции по ядерной радиоэлектронике. Часть I. том 2. стр. 47.
- [13] Меркулов Н.И., Павликов А.А., Федоров А.С., Запоминающее устройство ВЭСМ-2. Физматгиз, 1962, Москва.
- [14] Лаборатория электро моделирования: Магнитное оперативное запоминающее устройство с управлением на магнитных элементах - МОЗУ - 1000. Изд. Всесоюзного института научной и технической информации. Москва, 1958. стр. 12.
- [15] Беляевский В.Ф., Шамаев Ю.М., Ферриты. Доклады всесоюзного совещания по физике, физико-химическим свойствам ферритов и физическим основам их применения. Изд. АН ВССР. Минск, 1960, стр. 623-636.
- [16] Шамаев Ю.М., Пирогов А.И., Лисицын Г.Ф., Ферриты, /см. 15/, стр. 409-422.

Список В.

Статьи автора, связанные с данной темой.

- [1] *Шебештьен В.*, Устройство для преобразования параллельного кода в группы, последовательные во времени, Препринт ОИЯИ 1408, Дубна, 1963.
- [2] *Джаков Э., Марков А., Сакалян К., Шебештьен В.*, Пересчетная схема импульсов. Препринт ОИЯИ 816, Дубна, 1961.
- [3] *Шебештьен В.*, Промежуточное запоминающее устройство на ферритах и транзисторах для автоматической обработки информации с группы детекторов. Препринт ОИЯИ 1412, Дубна, 1963.
- [4] *Шебештьен В.*, Кольцевая дифференциальная пересчетная схема на транзисторах для управления промежуточным запоминающим устройством. Препринт ОИЯИ 1413, Дубна, 1963.
- [5] *Шебештьен В.*, Коммутатор импульсного тока на ферритах и полупроводниковых диодах. Препринт ОИЯИ 1410, Дубна, 1963.
- [6] *Шебештьен В.*, Испытание импульсных свойств полупроводниковых диодов в феррит-диодных схемах. Препринт ОИЯИ, 1411, Дубна, 1963.
- [7] *Sebestyén B.*, Ferrite-Core Intermediate Memory for Handling Information Presented by Radiation Detector Systems. Preprint of the Joint. Inst. for Nucl. Res. Dubna, 1963, E-1426.
- [8] *Sebestyén B.*, Ferrite-Core Intermediate Memory for Handling Information Presented by Radiation Detector Systems. Proc. Internat. Symposium, Paris, 25-27 November 1963, p. 555.

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	3
Глава 1 ОБЩИЕ ВОПРОСЫ ПРОМЕЖУТОЧНОГО НАКОПЛЕНИЯ ИНФОРМАЦИИ	4
1-1 Предварительные замечания	4
1-2 Место ПЗУ среди запоминающих устройств	4
1-3 Общая формулировка задачи ПЗУ	5
1-4 Общее описание структуры ПЗУ	5
1-5 Согласование по разрядам с помощью ПЗУ	6
1-6 Согласование по времени с помощью ПЗУ	7
1-7 Основные характеристики ПЗУ	7
1-8 Автоматизированные измерительные системы и применение в них ПЗУ	8
1-9 Классификация промежуточных запоминающих устройств	10
1-10 Реализованные устройства	10
1-10.1 ПЗУ с одним запоминающим регистром	10
1-10.2 Многорегистровые ПЗУ	12
1-10.3 Промежуточные запоминающие устройства для хранения аналоговых кодов	23
1-10.4 Особенности реализованных ПЗУ	25
1-11 Связь между характеристиками ПЗУ и внешними условиями	27
1-12 Некоторые технические вопросы построения ПЗУ	34
1-13 Контроль ПЗУ	35
Глава 2 ИСХОДНЫЕ СООБРАЖЕНИЯ ДЛЯ ПРОЕКТИРОВАНИЯ ПЗУ, СЛУЖАЩЕГО ПРИДМЕТОМ НАСТОЯЩЕЙ РАБОТЫ	36
2-1 Краткое описание измерительной системы физического эксперимента	36
2-2 Вопросы, связанные с логической структурой, мертвым временем и буферной емкостью ПЗУ	36
2-3 Выбор блока памяти	37
2-4 Некоторые дальнейшие возможности использования ПЗУ, допустимые на основании характеристик блока памяти выбранного типа	38
2-5 Итог исходных данных ПЗУ	39
Глава 3 ОПИСАНИЕ РЕАЛИЗОВАННОГО ПЗУ	40
3-1 Выбор системы	40
3-2 Блок-схема ПЗУ	40
3-3 Описание принципа работы важнейших схем быстродействующей части ПЗУ	42
3-3.1 Блок памяти	42
3-3.2 Система выбора запоминающих регистров; запись и считывание информации	43

3-3.3	Регистр записи и система поразрядной записи	45
3-3.4	Временная диаграмма блока памяти	46
3-4	Описание принципа работы медленной части ПЗУ	47
3-5	Принципиальные схемы главных блоков	49
3-5.1	Схема 10 мксек - триггера	49
3-5.2	Поразрядная ячейка системы ворот совпадений и формирователей приготовления	50
3-5.3	Дифференциальная пересчетная схема	51
3-5.4	Коммутатор импульсного тока адресной системы и регистра счи- тывания	57
3-5.5	Схема ключей системы выбора	67
3-5.6	Выстродействующие формирователи	70
3-5.7	Поразрядной усилитель с клапаном И	72
3-5.8	Формирователи перфоратора	72
3-5.9	Тактовый генератор	73
3-5.10	Запоминающая ячейка	74
3-5.11	Источники питания	74
Глава 4	СИСТЕМА ПРОВЕРКИ ПЗУ	76
4-1	Внешний контроль	76
4-1.1	Внешний контроль одиночными импульсами	76
4-1.2	Внешний контроль двойными импульсами	77
4-2	Внутренний контроль	78
Глава 5	ИСПЫТАНИЕ ИМПУЛЬСНЫХ СВОЙСТВ ПОЛУПРОВОДНИКОВЫХ ДИОДОВ В ФЕРРИТ- ДИОДНЫХ СХЕМАХ (Приложение)	81
5-1	Обозначения	81
5-2	Соотношение между временем переключения и напряжением на клеммах ферритового элемента	81
5-3	Потери площадей, вызванные переключающими диодами	82
5-4	Эквивалентная схема ферритового элемента	83
	ЛИТЕРАТУРА	88

Kiadja a
Magyar Tudományos Akadémia
Atommag Kutató Intézete.
D e b r e c e n
A kiadásért és szerkesztésért felelős
Szalay Sándor az Intézet igazgatója
Készült az Intézet "Zetaprinton" típusu
sokszorosító gépén "Rotaprint" eljárással.
Foto és nyomdatechnikai kivitelező
Vencsellei István

1964/6-A

